

MCP (マルチチップ・パッケージ) フラッシュメモリ + SRAM
32M ビット・フラッシュメモリ + 4M ビット SRAM

MC-22253A-X は、33,554,432 ビット (バイト・モード: 4,194,304 ワード × 8 ビット, ワード・モード: 2,097,152 ワード × 16 ビット) のフラッシュメモリと 4,194,304 ビット (バイト・モード: 524,288 ワード × 8 ビット, ワード・モード: 262,144 ワード × 16 ビット) のスタティック RAM を搭載するスタック・タイプ MCP (マルチチップ・パッケージ) です。

外形は、77 ピン・テーブ FBGA (12 × 7) です。

特 徴

全体の特徴

- ・高速アクセス時間: $t_{ACC} = 85 \text{ ns (MAX.)}$ (フラッシュメモリ), $t_{AA} = 70 \text{ ns (MAX.)}$ (SRAM)
- ・電源電圧: $V_{CCF} / V_{CCS} = 2.7 \sim 3.6 \text{ V}$
- ・動作温度拡張: $T_A = -25 \sim +85 \text{ }^\circ\text{C}$

フラッシュメモリの特徴

- ・2バンク構成による消去 / 書き込みとリードの同時実行
- ・バンク構成: 2バンク (8M ビット + 24M ビット)
- ・メモリ構成
 - 4,194,304 ワード × 8 ビット (バイト・モード)
 - 2,097,152 ワード × 16 ビット (ワード・モード)
- ・セクタ構成
 - 71 セクタ (8K バイト / 4K ワード × 8 セクタ, 64K バイト / 32K ワード × 63 セクタ)
- ・ブート・セクタを最下位アドレス (セクタ) に配置
- ・出力スリー・ステート
- ・自動書き込み機能
 - ・書き込み一時停止 / 再開
- ・アンロック・バイパス機能
- ・自動消去機能
 - ・チップ消去
 - ・セクタごとの消去 (セクタは任意に組み合わせ可能)
 - ・セクタ消去一時停止 / 再開
- ・書き込み / 消去完了の検出機能
 - ・データ・ポーリング, トグル・ビットによる検出
 - ・RY (/BY) 端子による検出
- ・セクタ・グループ保護機能
 - ・任意のセクタの保護が可能
 - ・保護されたセクタの一時的な保護解除が可能
- ・セクタをブート用途で使用可能
- ・/RESET 端子によるハードウェア・リセット機能, スタンバイ機能
- ・オートマチック・スリープ・モード
- ・WP (ACC) 端子によるブート・ブロック・セクタ・プロテクト
- ・コモン・フラッシュメモリ・インタフェース (CFI) 準拠
- ・Extra One Time Protect Sector (エクストラ・ワン・タイム・プロテクト・セクタ) 領域の搭載

SRAM の特徴

- ・メモリ構成
 - 524,288 ワード × 8 ビット (バイト・モード)
 - 262,144 ワード × 16 ビット (ワード・モード)
- ・電源電流 動作時: 40 mA (MAX.)
スタンバイ・モード: 7 μA (MAX.)
- ・2つのチップ・イネーブル端子: /CE1s, CE2s
- ・バイト・データ・セレクト端子: /LB, /UB
- ・バイト・ワード・モード選択端子: CIOs
- ・データ保持電源電圧: 1.0 ~ 3.6 V

本資料の内容は、予告なく変更することがありますので、最新のものを確認の上ご使用ください。

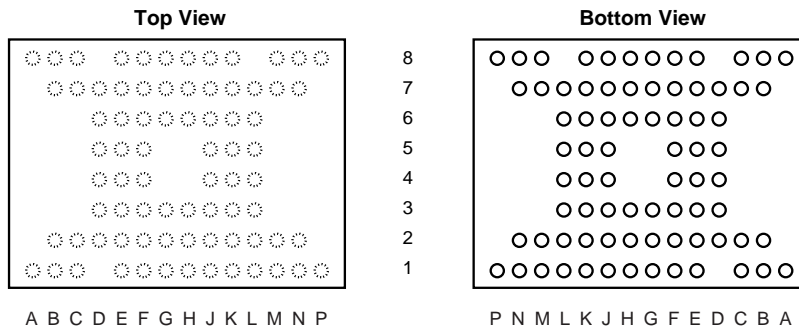
オーダ情報

オーダ名称	フラッシュメモリ ブート・セクタ	フラッシュメモリ アクセス時間 ns (MAX.)	SRAM アクセス時間 ns (MAX.)	パッケージ
MC-222253AF9-B85X-BT3	最下位アドレス (セクタ) (Bタイプ)	85	70	77ピン・テープFBGA (12×7)

端子接続図

/xxx はアクティブ・ロウを示します。

77 ピン・テープ FBGA (12×7)



Top View

	A	B	C	D	E	F	G	H	J	K	L	M	N	P
8	NC	NC	NC		A15	NC	NC	A16	CIOf	V _{ss}		NC	NC	NC
7		NC	NC	A11	A12	A13	A14	SA	I/O15, A-1	I/O7	I/O14	NC	NC	
6				A8	A19	A9	A10	I/O6	I/O13	I/O12	I/O5			
5				/WE	CE2s	A20			I/O4	V _{ccs}	CIOs			
4				MP(ACC)	/RESET	RY(/BY)			I/O3	V _{ccf}	I/O11			
3				/LB	/UB	A18	A17	I/O1	I/O9	I/O10	I/O2			
2		NC	NC	A7	A6	A5	A4	V _{ss}	/OE	I/O0	I/O8	NC	NC	
1	NC	NC	NC		A3	A2	A1	A0	/CEf	/CE1s	NC	NC	NC	NC

共通端子

- A0 ~ A17 : アドレス入力
- I/O0 ~ I/O15 : データ入出力
- /OE : アウトプット・イネーブル入力
- /WE : ライト・イネーブル入力
- V_{ss} : グランド
- NC[※] : ノー・コネクション

フラッシュメモリ端子

- A18 ~ A20 : アドレス入力
- I/O15, A-1 : I/O15 (データ入出力, ワード・モード)
A-1 (最下位アドレス入力, バイト・モード)
- /CEf : チップ・イネーブル入力
- RY (/BY) : レディ (ビジー) 出力
- /RESET : ハードウェア・リセット入力
- V_{ccf} : 電源
- MP (ACC) : ハードウェア・ライト・プロテクト/
アクセラレーション
- CIOf : バイト(8ビット)またはワード(16ビット)・
モード選択

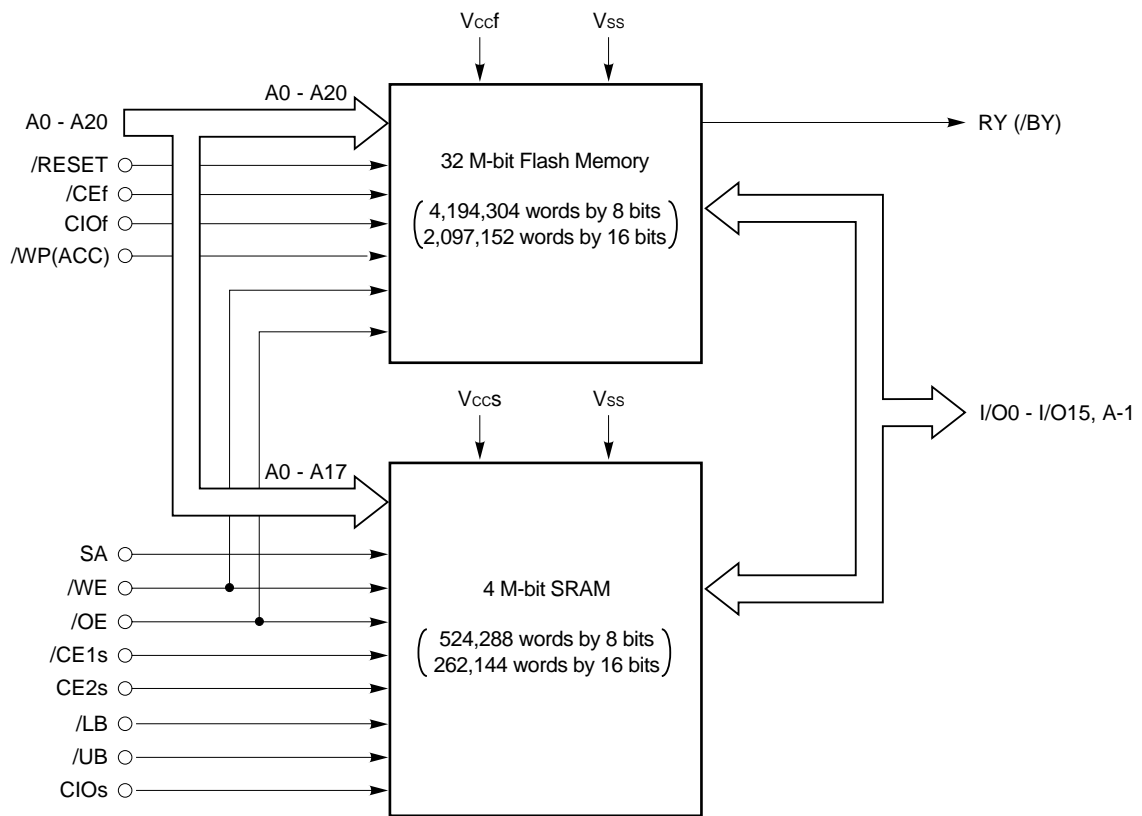
SRAM 端子

- SA : アドレス入力 (A18)
- /CE1s : チップ・イネーブル入力 1
- CE2s : チップ・イネーブル入力 2
- V_{ccs} : 電源
- /LB, /UB : バイト・データ・セレクト
- CIOs : バイト(8ビット)またはワード(16ビット)・
モード選択

注 この端子は、チップ内部に接続されておりませんので、電圧を加えても問題ありません。

備考 インデクス・マークに関しては、外形図を参照してください。

ブロック図



動作モード表

動作	フラッシュメモリ				SRAM					共通				
	/RESET	/CEf	CIOf	/WP (ACC)	/CE1s	CE2s	/LB	/UB	CIOs	/OE	/WE	I/O0 ~ I/O7	I/O8 ~ I/O15	
フルスタンバイ	H	H	×	×	H	×	×	×	×	×	×	Hi-Z	Hi-Z	
					×	L								
					×	×	H	H						
出力ディセーブル	H	L	×	×	L	H	×	×	×	H	H	Hi-Z	Hi-Z	
リード (フラッシュメモリ ^{注1})	バイト・モード	H	L	L	×	注2					L	H	データ出力	Hi-Z
						ワード・モード	H							
ライト (フラッシュメモリ)	バイト・モード	H	L	L	×	注2					H	L	データ入力	Hi-Z
						ワード・モード	H							
セクタ・グループ保護一時解除	V _{DD}	×	×	×	注2					×	×	Hi-Z もしくは データ入出力	Hi-Z もしくは データ入出力	
ブート・ブロック・セクタプロテクト	×	×	×	L	×	×	×	×	×	×	×	Hi-Z もしくは データ入出力	Hi-Z もしくは データ入出力	
フラッシュメモリ・ハードウェア・リセット	L	×	×	×	×	×	×	×	×	×	×	Hi-Z	Hi-Z	
リード (SRAM)	バイト・モード	注3			L	H	×	×	L	L	H	データ出力	Hi-Z	
		注3												L
	注3			L	H	L	L	H	データ出力	Hi-Z				
	注3										L	H	L	L
注3			L	H	×	×	L	×	L	データ入力				
注3											L	H	L	L
注3			L	H	L	L	H	×	L	データ入力				
注3											L	H	L	L

注意 この表で示してある動作以外は、禁止されています。

注 1. /OE = V_{IL} の場合, /WE = V_{IL} にすることができます。/OE = V_{IH} にすると、ライト動作を開始します。

2. SRAM はスタンバイ状態にしてください。

3. フラッシュメモリはスタンバイまたはハードウェア・リセット状態にしてください。

備考 1. ×: V_{IH} または V_{IL}, H: V_{IH}, L: V_{IL}

2. セクタ・グループ保護、製品識別はコマンドを使用して実行します。

★ 3. フラッシュメモリの動作モードは、デュアル・オペレーション・フラッシュメモリ 32Mビット A シリーズ インフォメーション (M14914J) を参照してください。

セクタ構成 / セクタ・アドレス表 (フラッシュメモリ)

フラッシュメモリ・ボトム・ブート

(1/2)

バンク	セクタ構成 (Kバイト/ Kワード)	アドレス		セクタ・ アドレス	セクタ・アドレス表									
		バイト・モード	ワード・モード		バンク・アドレス表						A14	A13	A12	
					A20	A19	A18	A17	A16	A15				
バンク 2	64 / 32	3FFFFFFH 3F0000H	1FFFFFFH 1F8000H	FSA70	1	1	1	1	1	1	x	x	x	
	64 / 32	3EFFFFFFH 3E0000H	1F7FFFFH 1F0000H	FSA69	1	1	1	1	1	0	x	x	x	
	64 / 32	3DFFFFFFH 3D0000H	1EFFFFFFH 1E8000H	FSA68	1	1	1	1	0	1	x	x	x	
	64 / 32	3CFFFFFFH 3C0000H	1E7FFFFH 1E0000H	FSA67	1	1	1	1	0	0	x	x	x	
	64 / 32	3BFFFFFFH 3B0000H	1DFFFFFFH 1D8000H	FSA66	1	1	1	0	1	1	x	x	x	
	64 / 32	3AFFFFFFH 3AFFFFFFH	1D7FFFFH 1D0000H	FSA65	1	1	1	0	1	0	x	x	x	
	64 / 32	39FFFFFFH 390000H	1CFFFFFFH 1C8000H	FSA64	1	1	1	0	0	1	x	x	x	
	64 / 32	38FFFFFFH 380000H	1C7FFFFH 1C0000H	FSA63	1	1	1	0	0	0	x	x	x	
	64 / 32	37FFFFFFH 370000H	1BFFFFFFH 1B8000H	FSA62	1	1	0	1	1	1	x	x	x	
	64 / 32	36FFFFFFH 360000H	1B7FFFFH 1B0000H	FSA61	1	1	0	1	1	0	x	x	x	
	64 / 32	35FFFFFFH 350000H	1AFFFFFFH 1A8000H	FSA60	1	1	0	1	0	1	x	x	x	
	64 / 32	34FFFFFFH 340000H	1A7FFFFH 1A0000H	FSA59	1	1	0	1	0	0	x	x	x	
	64 / 32	33FFFFFFH 330000H	19FFFFFFH 198000H	FSA58	1	1	0	0	1	1	x	x	x	
	64 / 32	32FFFFFFH 320000H	197FFFFH 190000H	FSA57	1	1	0	0	1	0	x	x	x	
	64 / 32	31FFFFFFH 310000H	18FFFFFFH 188000H	FSA56	1	1	0	0	0	1	x	x	x	
	64 / 32	30FFFFFFH 300000H	187FFFFH 180000H	FSA55	1	1	0	0	0	0	x	x	x	
	64 / 32	2FFFFFFH 2F0000H	17FFFFFFH 178000H	FSA54	1	0	1	1	1	1	x	x	x	
	64 / 32	2EFFFFFFH 2E0000H	177FFFFH 170000H	FSA53	1	0	1	1	1	0	x	x	x	
	64 / 32	2DFFFFFFH 2D0000H	16FFFFFFH 168000H	FSA52	1	0	1	1	0	1	x	x	x	
	64 / 32	2CFFFFFFH 2C0000H	167FFFFH 160000H	FSA51	1	0	1	1	0	0	x	x	x	
	64 / 32	2BFFFFFFH 2B0000H	15FFFFFFH 158000H	FSA50	1	0	1	0	1	1	x	x	x	
	64 / 32	2AFFFFFFH 2A0000H	157FFFFH 150000H	FSA49	1	0	1	0	1	0	x	x	x	
	64 / 32	29FFFFFFH 290000H	14FFFFFFH 148000H	FSA48	1	0	1	0	0	1	x	x	x	
	64 / 32	28FFFFFFH 280000H	147FFFFH 140000H	FSA47	1	0	1	0	0	0	x	x	x	
	64 / 32	27FFFFFFH 270000H	13FFFFFFH 138000H	FSA46	1	0	0	1	1	1	x	x	x	
	64 / 32	26FFFFFFH 260000H	137FFFFH 130000H	FSA45	1	0	0	1	1	0	x	x	x	
	64 / 32	25FFFFFFH 250000H	12FFFFFFH 128000H	FSA44	1	0	0	1	0	1	x	x	x	
	64 / 32	24FFFFFFH 240000H	127FFFFH 120000H	FSA43	1	0	0	1	0	0	x	x	x	
	64 / 32	23FFFFFFH 230000H	11FFFFFFH 118000H	FSA42	1	0	0	0	1	1	x	x	x	
	64 / 32	22FFFFFFH 220000H	117FFFFH 110000H	FSA41	1	0	0	0	1	0	x	x	x	
	64 / 32	21FFFFFFH 210000H	10FFFFFFH 108000H	FSA40	1	0	0	0	0	1	x	x	x	
	64 / 32	20FFFFFFH 200000H	107FFFFH 100000H	FSA39	1	0	0	0	0	0	x	x	x	
64 / 32	1FFFFFFH 1F0000H	0FFFFFFH 0F8000H	FSA38	0	1	1	1	1	1	x	x	x		
64 / 32	1EFFFFFFH 1E0000H	0F7FFFFH 0F0000H	FSA37	0	1	1	1	1	0	x	x	x		
64 / 32	1DFFFFFFH 1D0000H	0EFFFFFFH 0E8000H	FSA36	0	1	1	1	0	1	x	x	x		
64 / 32	1CFFFFFFH 1C0000H	0E7FFFFH 0E0000H	FSA35	0	1	1	1	0	0	x	x	x		

バンク	セクタ構成 (Kバイト/ Kワード)	アドレス		セクタ・ アドレス	セクタ・アドレス表									
		バイト・モード	ワード・モード		バンク・アドレス表									
					A20	A19	A18	A17	A16	A15	A14	A13	A12	
バンク 2	64 / 32	1BFFFFH 1B0000H	0DFFFFH 0D8000H	FSA34	0	1	1	0	1	1	x	x	x	
	64 / 32	1AFFFFH 1A0000H	0D7FFFH 0D0000H	FSA33	0	1	1	0	1	0	x	x	x	
	64 / 32	19FFFFH 190000H	0CFFFFH 0C8000H	FSA32	0	1	1	0	0	1	x	x	x	
	64 / 32	18FFFFH 180000H	0C7FFFH 0C0000H	FSA31	0	1	1	0	0	0	x	x	x	
	64 / 32	17FFFFH 170000H	0BFFFFH 0B8000H	FSA30	0	1	0	1	1	1	x	x	x	
	64 / 32	16FFFFH 160000H	0B7FFFH 0B0000H	FSA29	0	1	0	1	1	0	x	x	x	
	64 / 32	15FFFFH 150000H	0AFFFFH 0A8000H	FSA28	0	1	0	1	0	1	x	x	x	
	64 / 32	14FFFFH 140000H	0A7FFFH 0A0000H	FSA27	0	1	0	1	0	0	x	x	x	
	64 / 32	13FFFFH 130000H	09FFFFH 098000H	FSA26	0	1	0	0	1	1	x	x	x	
	64 / 32	12FFFFH 120000H	097FFFH 090000H	FSA25	0	1	0	0	1	0	x	x	x	
	64 / 32	11FFFFH 110000H	08FFFFH 088000H	FSA24	0	1	0	0	0	1	x	x	x	
	64 / 32	10FFFFH 100000H	087FFFH 080000H	FSA23	0	1	0	0	0	0	x	x	x	
バンク 1	64 / 32	0FFFFFH 0F0000H	07FFFFH 078000H	FSA22	0	0	1	1	1	1	x	x	x	
	64 / 32	0EFFFFH 0E0000H	077FFFH 070000H	FSA21	0	0	1	1	1	0	x	x	x	
	64 / 32	0DFFFFH 0D0000H	06FFFFH 068000H	FSA20	0	0	1	1	0	1	x	x	x	
	64 / 32	0CFFFFH 0C0000H	067FFFH 060000H	FSA19	0	0	1	1	0	0	x	x	x	
	64 / 32	0BFFFFH 0B0000H	05FFFFH 058000H	FSA18	0	0	1	0	1	1	x	x	x	
	64 / 32	0AFFFFH 0A0000H	057FFFH 050000H	FSA17	0	0	1	0	1	0	x	x	x	
	64 / 32	09FFFFH 090000H	04FFFFH 048000H	FSA16	0	0	1	0	0	1	x	x	x	
	64 / 32	08FFFFH 080000H	047FFFH 040000H	FSA15	0	0	1	0	0	0	x	x	x	
	64 / 32	07FFFFH 070000H	03FFFFH 038000H	FSA14	0	0	0	1	1	1	x	x	x	
	64 / 32	06FFFFH 060000H	037FFFH 030000H	FSA13	0	0	0	1	1	0	x	x	x	
	64 / 32	05FFFFH 050000H	02FFFFH 028000H	FSA12	0	0	0	1	0	1	x	x	x	
	64 / 32	04FFFFH 0F0000H	027FFFH 020000H	FSA11	0	0	0	1	0	0	x	x	x	
	64 / 32	03FFFFH 030000H	01FFFFH 018000H	FSA10	0	0	0	0	1	1	x	x	x	
	64 / 32	02FFFFH 020000H	017FFFH 010000H	FSA9	0	0	0	0	1	0	x	x	x	
	64 / 32	01FFFFH 010000H	00FFFFH 008000H	FSA8	0	0	0	0	0	1	x	x	x	
	8 / 4	00FFFFH 00E000H	007FFFH 007000H	FSA7	0	0	0	0	0	0	1	1	1	
	8 / 4	00DFFFH 00C000H	006FFFH 006000H	FSA6	0	0	0	0	0	0	1	1	0	
	8 / 4	00BFFFH 00A000H	005FFFH 005000H	FSA5	0	0	0	0	0	0	1	0	1	
	8 / 4	009FFFH 008000H	004FFFH 004000H	FSA4	0	0	0	0	0	0	1	0	0	
	8 / 4	007FFFH 006000H	003FFFH 003000H	FSA3	0	0	0	0	0	0	0	1	1	
8 / 4	005FFFH 004000H	002FFFH 002000H	FSA2	0	0	0	0	0	0	0	1	0		
8 / 4	003FFFH 002000H	001FFFH 001000H	FSA1	0	0	0	0	0	0	0	0	1		
8 / 4	001FFFH 000000H	000FFFH 000000H	FSA0	0	0	0	0	0	0	0	0	0		

★ セクタ・グループ・アドレス表 (フラッシュメモリ)

セクタ・グループ	A20	A19	A18	A17	A16	A15	A14	A13	A12	サイズ	セクタ
SGA0	0	0	0	0	0	0	0	0	0	8 KB (1 セクタ)	FSA0
SGA1	0	0	0	0	0	0	0	0	1	8 KB (1 セクタ)	FSA1
SGA2	0	0	0	0	0	0	0	1	0	8 KB (1 セクタ)	FSA2
SGA3	0	0	0	0	0	0	0	1	1	8 KB (1 セクタ)	FSA3
SGA4	0	0	0	0	0	0	1	0	0	8 KB (1 セクタ)	FSA4
SGA5	0	0	0	0	0	0	1	0	1	8 KB (1 セクタ)	FSA5
SGA6	0	0	0	0	0	0	1	1	0	8 KB (1 セクタ)	FSA6
SGA7	0	0	0	0	0	0	1	1	1	8 KB (1 セクタ)	FSA7
SGA8	0	0	0	0	0	1	×	×	×	192 KB (3 セクタ)	FSA8-FSA10
					1	0					
					1	1					
SGA9	0	0	0	1	×	×	×	×	×	256 KB (4 セクタ)	FSA11-FSA14
SGA10	0	0	1	0	×	×	×	×	×	256 KB (4 セクタ)	FSA15-FSA18
SGA11	0	0	1	1	×	×	×	×	×	256 KB (4 セクタ)	FSA19-FSA22
SGA12	0	1	0	0	×	×	×	×	×	256 KB (4 セクタ)	FSA23-FSA26
SGA13	0	1	0	1	×	×	×	×	×	256 KB (4 セクタ)	FSA27-FSA30
SGA14	0	1	1	0	×	×	×	×	×	256 KB (4 セクタ)	FSA31-FSA34
SGA15	0	1	1	1	×	×	×	×	×	256 KB (4 セクタ)	FSA35-FSA38
SGA16	1	0	0	0	×	×	×	×	×	256 KB (4 セクタ)	FSA39-FSA42
SGA17	1	0	0	1	×	×	×	×	×	256 KB (4 セクタ)	FSA43-FSA46
SGA18	1	0	1	0	×	×	×	×	×	256 KB (4 セクタ)	FSA47-FSA50
SGA19	1	0	1	1	×	×	×	×	×	256 KB (4 セクタ)	FSA51-FSA54
SGA20	1	1	0	0	×	×	×	×	×	256 KB (4 セクタ)	FSA55-FSA58
SGA21	1	1	0	1	×	×	×	×	×	256 KB (4 セクタ)	FSA59-FSA62
SGA22	1	1	1	0	×	×	×	×	×	256 KB (4 セクタ)	FSA63-FSA66
SGA23	1	1	1	1	0	0	×	×	×	192 KB (3 セクタ)	FSA67-FSA69
					0	1					
					1	0					
SGA24	1	1	1	1	1	1	×	×	×	64 KB (1 セクタ)	FSA70

備考 ×: V_{IH}またはV_{IL}

コマンド・シーケンス (フラッシュメモリ)

コマンド・シーケンス		サイ クル 数	バス・サイクル 1 回目		バス・サイクル 2 回目		バス・サイクル 3 回目		バス・サイクル 4 回目		バス・サイクル 5 回目		バス・サイクル 6 回目	
			アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ
リード/リセット ^{注1}		1	xxxH	F0H	RA	RD	-	-	-	-	-	-	-	-
リード/リセット ^{注1}	バイト・モード	3	AAAH	AAH	555H	55H	AAAH	F0H	RA	RD	-	-	-	-
	ワード・モード		555H		2AAH		555H							
書き込み	バイト・モード	4	AAAH	AAH	555H	55H	AAAH	A0H	PA	PD	-	-	-	-
	ワード・モード		555H		2AAH		555H							
書き込み一時停止 ^{注2}		1	BA	B0H	-	-	-	-	-	-	-	-	-	-
書き込み再開 ^{注3}		1	BA	30H	-	-	-	-	-	-	-	-	-	-
チップ消去	バイト・モード	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	AAAH	10H
	ワード・モード		555H		2AAH		555H		555H		2AAH		555H	
セクタ消去	バイト・モード	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	FSA	30H
	ワード・モード		555H		2AAH		555H		555H		2AAH			
セクタ消去一時停止 ^{注4}		1	BA	B0H	-	-	-	-	-	-	-	-	-	-
セクタ消去再開 ^{注5}		1	BA	30H	-	-	-	-	-	-	-	-	-	-
アンロック・ バイパス・セット	バイト・モード	3	AAAH	AAH	555H	55H	AAAH	20H	-	-	-	-	-	-
	ワード・モード		555H		2AAH		555H							
アンロック・バイパス書き込み ^{注6}		2	xxxH	A0H	PA	PD	-	-	-	-	-	-	-	-
アンロック・バイパス・リセット ^{注6}		2	BA	90H	xxxH	00H ^{注11}	-	-	-	-	-	-	-	-
製品識別	バイト・モード	3	AAAH	AAH	555H	55H	(BA) AAAH	90H	IA	ID	-	-	-	-
	ワード・モード		555H		2AAH		(BA) 555H							
セクタ・グループ保護 ^{注7}		4	xxxH	60H	SPA	60H	SPA	40H	SPA	SD	-	-	-	-
セクタ・グループ保護解除 ^{注8}		4	xxxH	60H	SUA	60H	SUA	40H	SUA	SD	-	-	-	-
Query ^{注9}	バイト・モード	1	AAH	98H	-	-	-	-	-	-	-	-	-	-
	ワード・モード		55H											
Extra One Time Protect Sector エントリ	バイト・モード	3	AAAH	AAH	555H	55H	AAAH	88H	-	-	-	-	-	-
	ワード・モード		555H		2AAH		555H							
Extra One Time Protect Sector 書き込み ^{注10}	バイト・モード	4	AAAH	AAH	555H	55H	AAAH	A0H	PA	PD	-	-	-	-
	ワード・モード		555H		2AAH		555H							
Extra One Time Protect Sector 消去 ^{注10}	バイト・モード	6	AAAH	AAH	555H	55H	AAAH	80H	AAAH	AAH	555H	55H	EOTPSA	30H
	ワード・モード		555H		2AAH		555H		555H		2AAH			
Extra One Time Protect Sector リセット ^{注10}	バイト・モード	4	AAAH	AAH	555H	55H	AAAH	90H	xxxH	00H	-	-	-	-
	ワード・モード		555H		2AAH		555H							
Extra One Time Protect Sector 保護 ^{注10}		4	xxxH	60H	EOTPSA	60H	EOTPSA	40H	EOTPSA	SD	-	-	-	-

- 注 1. どちらのリード/リセット・コマンドでも、デバイスはリード・モードにリセットされます。
2. 書き込み中、書き込みをしているバンク・アドレスに B0H を入力すると、書き込みは一時停止します。
 3. 書き込み一時停止中、停止しているバンク・アドレスに 30H を入力すると、書き込みを再開します。
 4. セクタ消去中、消去しているバンク・アドレスに B0H を入力すると、消去は一時停止します。
 5. セクタ消去一時停止中、停止しているバンク・アドレスに 30H を入力すると、消去を再開します。
 6. アンロック・バイパス・モード中のみ有効です。
 7. /RESET = V_{DD} 中のみ有効です（ただし、Extra One Time Protect Sector モード中は除く）。
 8. セクタ・グループを保護するコマンド・シーケンスは除いています。
 9. アドレスは A0 ~ A6 のみ有効です。
 10. Extra One Time Protect Sector モード中のみ有効です。
 11. F0H でも使用できます。

備考 1. アドレスの指定は、ワード・モード：555H か 2AAH (A10 ~ A0)

バイト・モード：AAAH か 555H (A10 ~ A0, A-1)

2. RA : リード・アドレス

RD : リード・データ

IA : アドレス入力

××00H (製造者コードをリードする場合)

××02H (バイト・モードでデバイス・コードをリードする場合)

××01H (ワード・モードでデバイス・コードをリードする場合)

ID : コード出力。製品識別コード(製造者コード/デバイス・コード)(フラッシュメモリ)を参照してください。

PA : 書き込みアドレス

PD : 書き込みデータ

FSA : 消去セクタ・アドレス。このアドレスの組み合わせで消去するセクタを選択します。セクタ構成/セクタ・アドレス表(フラッシュメモリ)を参照してください。

BA : バンク・アドレス。セクタ構成/セクタ・アドレス表(フラッシュメモリ)を参照してください。

SPA : 保護するセクタ・グループ・アドレス。セクタ・グループ・アドレス (SGA) と、(A6, A1, A0) = (V_{IL}, V_{IH}, V_{IL}) を設定します。セクタ・グループ・アドレスは、セクタ・グループ・アドレス表(フラッシュメモリ)を参照してください。

SUA : 保護解除するセクタ・グループ・アドレス。セクタ・グループ・アドレス (SGA) と、(A6, A1, A0) = (V_{IH}, V_{IH}, V_{IL}) を設定します。セクタ・グループ・アドレスは、セクタ・グループ・アドレス表(フラッシュメモリ)を参照してください。

SD : SPA, SUA, EOTPSA で指定されたアドレスからリードされたセクタ・グループ保護(解除)の検証データです。

EOTPSA : Extra One Time Protect Sector 領域アドレス。

バイト・モード : 000000H ~ 00FFFFH, ワード・モード : 000000H ~ 007FFFH

3. リード・アドレス、書き込み/消去アドレスを選択する場合を除いて、セクタ・グループ・アドレスは任意です。

4. バスの動作については、動作モード表を参照してください。

5. アドレス・ビットの × は V_{IH} または V_{IL} です。

★ 6. フラッシュメモリのコマンドは、デュアル・オペレーション・フラッシュメモリ 32M ビット A シリーズ インフォメーション (M14914J) を参照してください。

製品識別コード（製造者コード/デバイス・コード）（フラッシュメモリ）

製品識別コード	入力アドレス			出力
	A6	A1	A0	HEX
製造者コード	L	L	L	10H
デバイス・コード	L	L	H	53H(バイト・モード) , 2253H(ワード・モード)

製品識別コード	出力コード																HEX
	I/O 15	I/O 14	I/O 13	I/O 12	I/O 11	I/O 10	I/O 9	I/O 8	I/O 7	I/O 6	I/O 5	I/O 4	I/O 3	I/O 2	I/O 1	I/O 0	
製造者コード	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	10H
デバイス・ コード	バイト・モード	A-1	×	×	×	×	×	×	0	1	0	1	0	0	1	1	53H
	ワード・モード	0	0	1	0	0	0	1	0	0	1	0	1	0	0	1	1

備考 H : V_{IH} , L : V_{IL} , × : Hi-Z

★ ハードウェア・シーケンス・フラグ , データ保護設計（フラッシュメモリ）

デュアル・オペレーション・フラッシュメモリ 32M ビット A シリーズ インフォメーション (M14914J) を参照してください。

電気的特性

電源投入時には、 V_{ccf} V_{ccf} (MIN.) になるまでは /RESET 端子に $V_{ss} \pm 0.2$ V を入力した状態で電源を立ち上げてください。

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V_{ccf} , V_{ccs}	V_{ss} を基準とする	-0.5 ~ +4.0	V
入出力電圧	V_I	V_{ss} を基準とする /WP(ACC) , /RESET	-0.5 ^{注1} ~ +13.0	V
		上記以外	-0.5 ^{注1} ~ V_{ccf} , $V_{ccs} + 0.4$ (4.0 V MAX.) ^{注2}	
動作周囲温度	T_A		-25 ~ +85	°C
保存温度	T_{stg}		-55 ~ +125	°C

注 1. パルス幅 20 ns 以下の場合：-2.0 V

2. パルス幅 20 ns 以下の場合： V_{ccf} , $V_{ccs} + 0.5$ V

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V_{ccf} , V_{ccs}		2.7		3.6	V
動作周囲温度	T_A		-25		+85	°C

DC 特性 (推奨動作条件による)

共通

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}		2.4		V _{ccf} , V _{ccs} + 0.3	V
ロウ・レベル入力電圧	V _{IL}		-0.3		+0.5	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -500 μA, V _{ccf} = V _{ccf} (MIN.), V _{ccs} = V _{ccs} (MIN.)	2.4			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = +1.0 mA, V _{ccf} = V _{ccf} (MIN.), V _{ccs} = V _{ccs} (MIN.)			0.4	V
入力リーク電流	I _{LI}		-1.0		+1.0	μA
出力リーク電流	I _{LO}		-1.0		+1.0	μA

フラッシュメモリ

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	リード モード ワード・ モード	I _{cc1f} V _{ccf} = V _{ccf} (MAX.), /CEf = V _{IL} , /OE = V _{IH}	t _{CYCLE} = 5 MHz		10	16	mA
			t _{CYCLE} = 1 MHz		2	4	
			t _{CYCLE} = 5 MHz		10	16	
			t _{CYCLE} = 1 MHz		2	4	
書き込み/消去	I _{cc2f}	V _{ccf} = V _{ccf} (MAX.), /CEf = V _{IL} , /OE = V _{IH}		15	30	mA	
スタンバイ	I _{cc3f}	V _{ccf} = V _{ccf} (MAX.), /CEf = /RESET = /WP(ACC) = V _{ccf} ± 0.3 V, /OE = V _{IL}		0.2	5	μA	
スタンバイ/リセット	I _{cc4f}	V _{ccf} = V _{ccf} (MAX.), /RESET = V _{SS} ± 0.2 V		0.2	5	μA	
オートマチック・スリープ・モード	I _{cc5f}	V _{IH} = V _{ccf} ± 0.2 V, V _{IL} = V _{SS} ± 0.2 V		0.2	5	μA	
書き込み時リード	I _{cc6f}	V _{IH} = V _{ccf} ± 0.2 V, V _{IL} = V _{SS} ± 0.2 V		21	45	mA	
消去時リード	I _{cc7f}	V _{IH} = V _{ccf} ± 0.2 V, V _{IL} = V _{SS} ± 0.2 V		21	45	mA	
サスペンド時書き込み	I _{cc8f}	/CEf = V _{IL} , /OE = V _{IH} , 自動書き込み		17	35	mA	
アクセラレーション 書き込み	I _{ACC}	/WP(ACC)端子		5	10	mA	
		V _{ccf}		15	30		
/RESET ハイ・レベル入力電圧	V _{ID}	高電圧印加時	11.5		12.5	V	
アクセラレーション書き込み電圧	V _{ACC}	高電圧印加時	8.5		9.5	V	
低 V _{ccf} ロックアウト電圧 ^注	V _{LKO}				1.7	V	

★ 注 V_{ccf} が V_{LKO} 以下のとき、デバイスはすべてのライト・サイクルを無視します。デュアル・オペレーション・フラッシュメモリ 32M ビット A シリーズ インフォメーション (M14914J) を参照してください。

SRAM

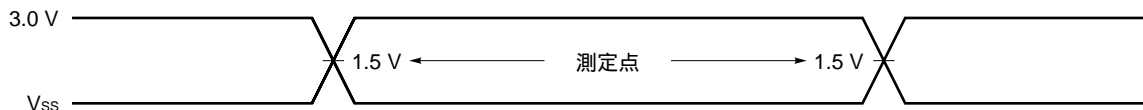
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{cc1s}	/CE1s = V _{IL} , CE2s = V _{IH} , 最小サイクル時間, I _{I/O} = 0 mA		-	40	mA
		/CE1s = V _{IL} , CE2s = V _{IH} , I _{I/O} = 0 mA, サイクル時間 = ∞		-	10	
	I _{cc2s}	/CE1s 0.2 V, CE2s V _{ccs} - 0.2 V, サイクル時間 = 1 μs, I _{I/O} = 0 mA, V _{IL} 0.2 V, V _{IH} V _{ccs} - 0.2 V		-	8	
スタンバイ電源電流	I _{SB1s}	/CE1s = V _{IH} または CE2s = V _{IL} または /LB = /UB = V _{IH}		-	0.6	mA
		/CE1s V _{ccs} - 0.2 V, CE2s V _{ccs} - 0.2 V		0.5	7	
	I _{SB2s}	CE2s 0.2 V		0.5	7	
		/LB = /UB V _{ccs} - 0.2 V, /CE1s 0.2 V, CE2s V _{ccs} - 0.2 V		0.5	7	

AC 特性 (推奨動作条件による)

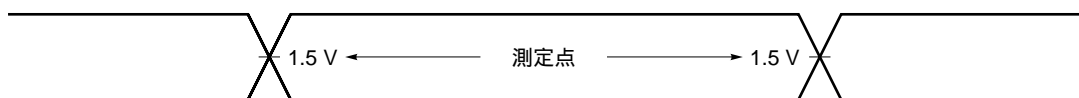
★ AC 特性試験条件

フラッシュメモリ

入力波形 (立ち上がり / 立ち下がり時間 5 ns)



出力測定点

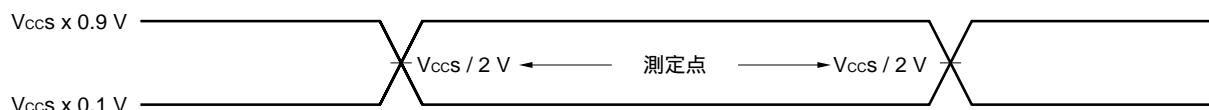


出力負荷

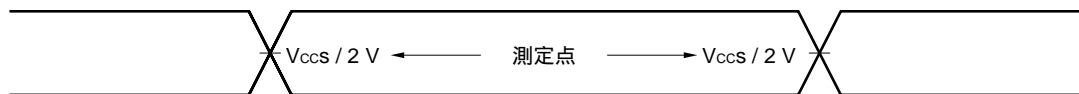
1 TTL + 30 pF

SRAM

入力波形 (立ち上がり / 立ち下がり時間 5 ns)



出力測定点



出力負荷

1 TTL + 30 pF

/CEf, /CE1s, CE2s タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
/CEf, /CE1s, CE2s 復帰時間	t _{CCR}		0			ns	

リード・サイクル(フラッシュメモリ)

項目	略号	条件	MIN.	TYP.	MAX.	単位	注
リード・サイクル時間	t _{RC}		85			ns	
アドレス・アクセス時間	t _{ACC}	/CEf = /OE = V _{IL}			85	ns	
/CEf アクセス時間	t _{CEf}	/OE = V _{IL}			85	ns	
/OE アクセス時間	t _{OE}	/CEf = V _{IL}			40	ns	
出力オフ時間	t _{DF}	/OE = V _{IL} または/CEf = V _{IL}			30	ns	
出力保持時間	t _{OH}		0			ns	
/RESET パルス幅	t _{RP}		500			ns	
リード前の /RESET 保持時間	t _{RH}		50			ns	
/RESET ロウ・レベルから リード・モード復帰時間	t _{READY}				20	μs	
/CEf から CIOf の切り替え時間	t _{ELFL} /t _{ELFH}				5	ns	
CIOf ロウ・レベルからの出力オフ時間	t _{FLQZ}				30	ns	
CIOf ハイ・レベルからのアクセス時間	t _{FHQV}		85			ns	

備考 t_{DF} は、/CEf もしくは/OE の非活性から出力が Hi-Z になるまでの時間です。

ライト・サイクル(消去/書き込み)(フラッシュメモリ)

項 目	略 号	MIN.	TYP.	MAX.	単 位	注
ライト・サイクル時間	t _{wc}	85			ns	
アドレス・セット時間 (/WE アドレス)	t _{AS}	0			ns	
アドレス・セット時間 (/CEf アドレス)	t _{AS}	0			ns	
アドレス保持時間 (/WE アドレス)	t _{AH}	45			ns	
アドレス保持時間 (/CEf アドレス)	t _{AH}	45			ns	
入力データ・セット時間	t _{DS}	35			ns	
入力データ保持時間	t _{DH}	0			ns	
/OE 保持時間	リード	t _{OEh}	0		ns	
	トグル・ビット, データ・ポーリング		10			
ライト前のリード・リカバリ時間 (/OE /CEf)	t _{GHEL}	0			ns	
ライト前のリード・リカバリ時間 (/OE /WE)	t _{GHWL}	0			ns	
/WE セット時間 (/CEf /WE)	t _{WS}	0			ns	
/CEf セット時間 (/WE /CEf)	t _{CS}	0			ns	
/WE 保持時間 (/CEf /WE)	t _{WH}	0			ns	
/CEf 保持時間 (/WE /CEf)	t _{CH}	0			ns	
ライト・パルス幅	t _{WP}	35			ns	
/CEf パルス幅	t _{CP}	35			ns	
ライト・パルス幅ハイ・レベル	t _{WPH}	30			ns	
/CEf パルス幅ハイ・レベル	t _{CPH}	30			ns	
バイト書き込み時間	t _{BPG}		9	200	μs	
ワード書き込み時間	t _{WPG}		11	200	μs	
セクタ消去時間	t _{SER}		0.7	5	s	1
V _{CC} セット時間	t _{VCS}	50			μs	
RY (/BY) からのリカバリ時間	t _{RB}	0			ns	
/RESET パルス幅	t _{RP}	500			ns	
セクタ・グループ保護一時解除時 RY(/BY)ハイ・レベルから /RESET 高電位(V _{ID})保持時間	t _{RRB}	20			μs	
/RESET 保持時間	t _{RH}	50			ns	
自動書き込み/消去終了からデータ出力までの時間	t _{EOE}			85	ns	
書き込み/消去が有効になるまでの RY (/BY) の遅延時間	t _{BUSY}			90	ns	
トグル・ビット中の/OE ロウ・レベルまでのアドレス・セット時間	t _{ASO}	15			ns	
トグル・ビット中の/CEf もしくは/OE のハイ・レベルまでのアドレス保持時間	t _{AHT}	0			ns	
トグル動作のための /CEf パルス幅ハイ・レベル	t _{CEPH}	20			ns	
トグル動作のための /OE パルス幅ハイ・レベル	t _{OEPH}	20			ns	
電圧遷移時間	t _{VLHT}	4			μs	2
V _{ID} までの立ち上がり時間 (/RESET)	t _{VIDR}	500			ns	3
V _{ACC} までの立ち上がり時間 (/WP(ACC))	t _{VACCR}	500			ns	2
消去タイムアウト時間	t _{TOW}	50			μs	4
消去サスペンド遷移時間	t _{SPD}			20	μs	4

- 注 1. 消去前の書き込み時間は含んでいません。
 2. セクタ・グループ保護, アクセラレーション・モードのみ。
 3. セクタ・グループ保護のみ。
 4. 表のみ。

ライト動作（消去／書き込み）のパフォーマンス（フラッシュメモリ）

項目	備考	MIN.	TYP.	MAX.	単位
セクタ消去時間	消去より先の書き込み時間は除く		0.7	5	s
チップ消去時間	消去より先の書き込み時間は除く		50		s
バイト書き込み時間	システム・レベルのオーバー・ヘッドは除く		9	200	μ s
ワード書き込み時間	システム・レベルのオーバー・ヘッドは除く		11	200	μ s
チップ書き込み時間	システム・レベルのオーバー・ヘッドは除く	バイト・モード	40		s
		ワード・モード	25		
アクセラレーション 書き込み時間	システム・レベルのオーバー・ヘッドは除く		7	150	μ s
消去／書き込みサイクル		100,000			cycles

リード・サイクル (SRAM)

項目	略号	MIN.	MAX.	単位	注
リード・サイクル時間	t _{RC}	70		ns	
アドレス・アクセス時間	t _{AA}		70	ns	
/CE1s アクセス時間	t _{CO1}		70	ns	
CE2s アクセス時間	t _{CO2}		70	ns	
/OE アクセス時間	t _{OE}		35	ns	
/LB, /UB アクセス時間	t _{BA}		70	ns	
アドレス 出力ホールド時間	t _{OH}	10		ns	
/CE1s 出力セット時間	t _{LZ1}	10		ns	
CE2s 出力セット時間	t _{LZ2}	10		ns	
/OE 出力セット時間	t _{OLZ}	0		ns	
/LB, /UB 出力セット時間	t _{BLZ}	10		ns	
/CE1s 出力フローティング時間	t _{HZ1}		25	ns	
CE2s 出力フローティング時間	t _{HZ2}		25	ns	
/OE 出力フローティング時間	t _{OHZ}		25	ns	
/LB, /UB 出力フローティング時間	t _{BHZ}		25	ns	

ライト・サイクル (SRAM)

項目	略号	MIN.	MAX.	単位	注
ライト・サイクル時間	t _{WC}	70		ns	
/CE1s /WE セット時間	t _{CW1}	55		ns	
CE2s /WE セット時間	t _{CW2}	55		ns	
/LB, /UB /WE セット時間	t _{BW}	55		ns	
アドレス /WE セット時間	t _{AW}	55		ns	
アドレス・セットアップ時間	t _{AS}	0		ns	
★ ライト・パルス幅	t _{WP}	45		ns	
アドレス・ホールド時間	t _{WR}	0		ns	
入力データ・セット時間	t _{DW}	30		ns	
入力データ・ホールド時間	t _{DH}	0		ns	
/WE 出力フローティング時間	t _{WHZ}		25	ns	
/WE 出力活性化時間	t _{OW}	5		ns	

低電源電圧データ保持特性 (SRAM)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{CCDR1}	/CE1s V _{CCS} - 0.2 V, CE2s V _{CCS} - 0.2 V	1.0		3.6	V
	V _{CCDR2}	CE2s 0.2 V	1.0		3.6	
	V _{CCDR3}	/LB = /UB V _{CCS} - 0.2 V, /CE1s 0.2 V, CE2s V _{CCS} - 0.2 V	1.0		3.6	
★ データ保持電源電流	I _{CCDR1}	V _{CCS} = 1.5 V, /CE1s V _{CCS} - 0.2 V, CE2s V _{CCS} - 0.2 V		0.3	3	μA
	I _{CCDR2}	V _{CCS} = 1.5 V, CE2s ≤ 0.2 V		0.3	3	
	I _{CCDR3}	V _{CCS} = 1.5 V, /LB = /UB V _{CCS} - 0.2 V, /CE1s 0.2 V, CE2s V _{CCS} - 0.2 V		0.3	3	
チップ・イネーブル・セット時間	t _{CDR}		0			ns
チップ・イネーブル・ホールド時間	t _r		t _{rc} 注			ns

注 t_{rc} : リード・サイクル時間

図 1 フラッシュメモリ - SRAM 切り替えタイミング・チャート

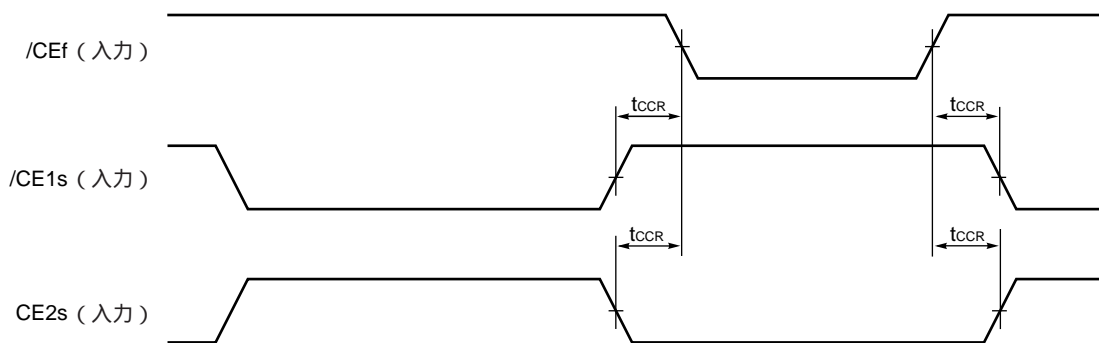


図 2 リード・サイクル・タイミング・チャート 1 (フラッシュメモリ)

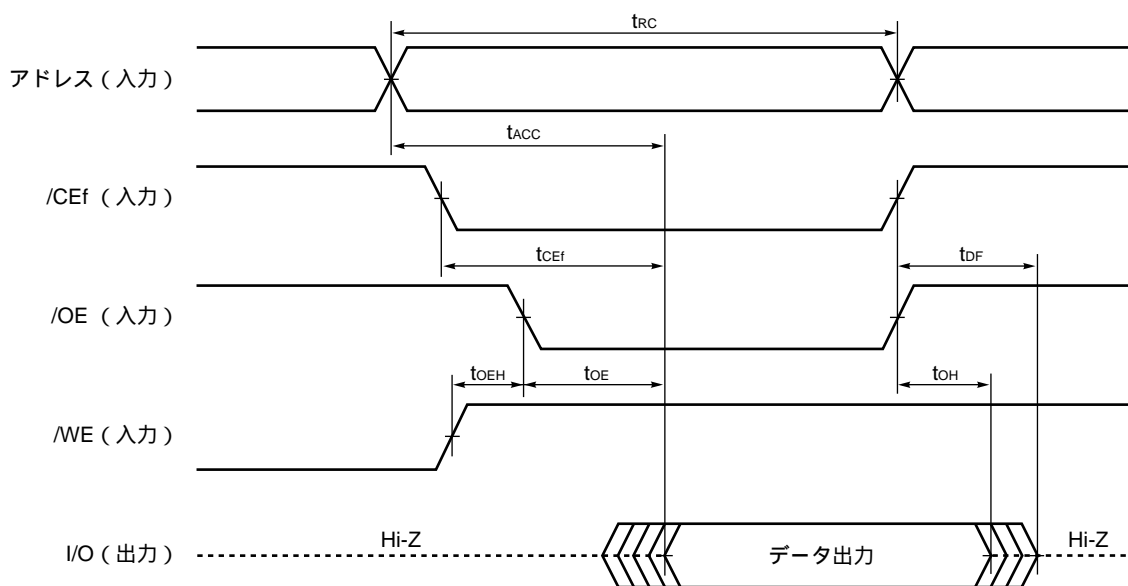


図 3 リード・サイクル・タイミング・チャート 2 (フラッシュメモリ)

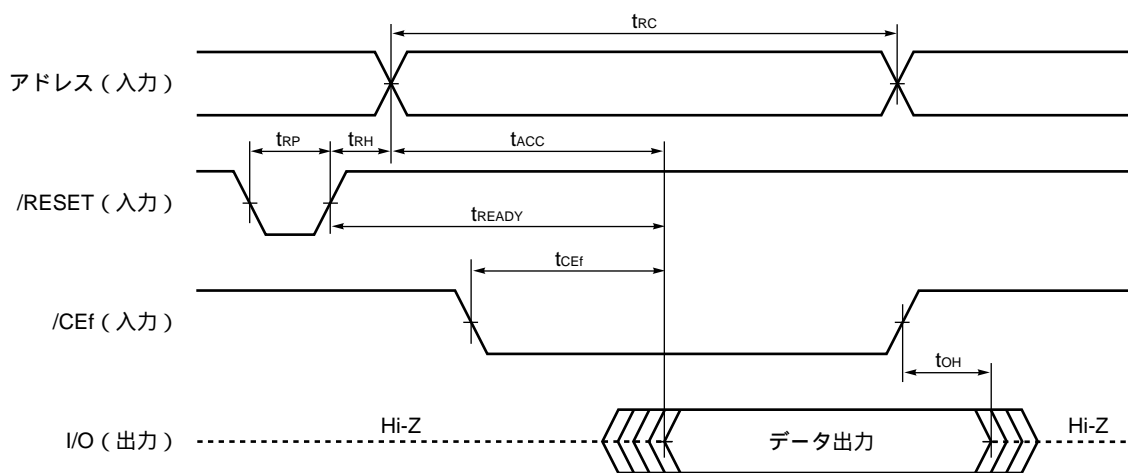
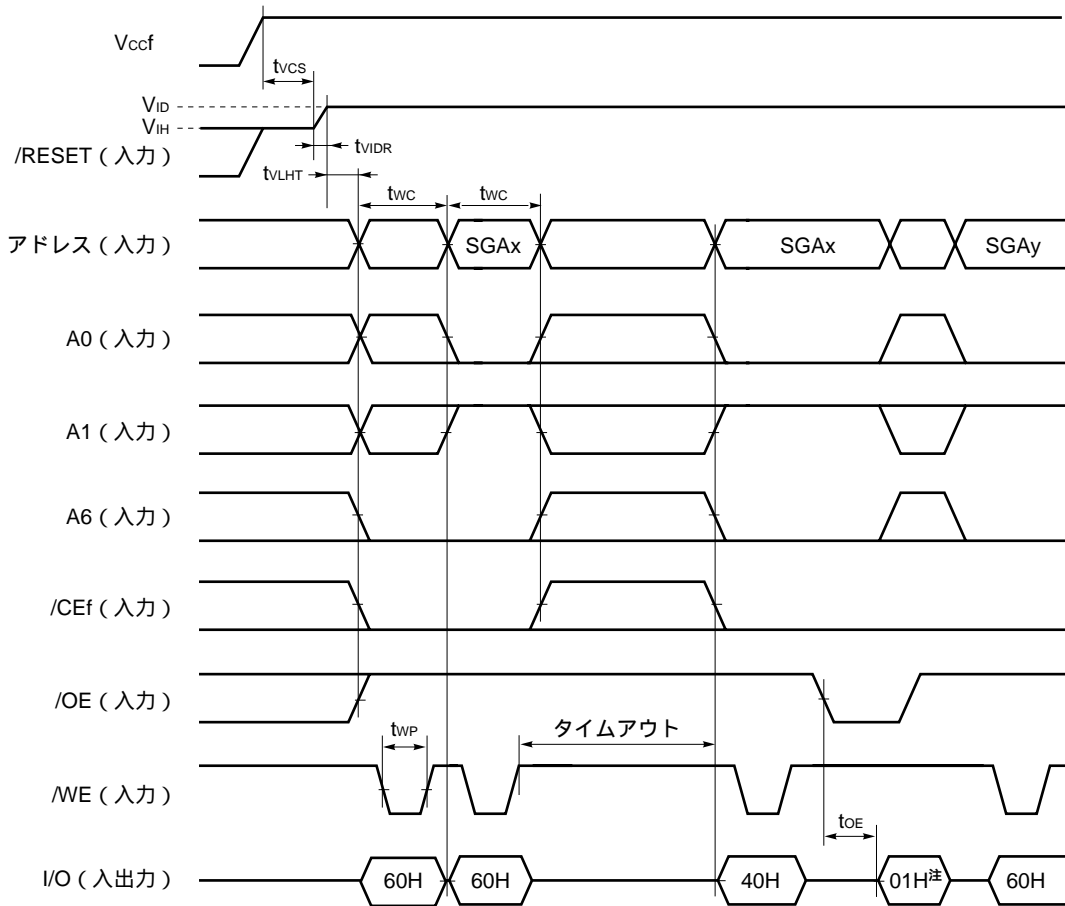


図 4 セクタ・グループ保護タイミング・チャート (フラッシュメモリ)



- 注 セクタ・グループ保護の検証結果が出力されます。
 01H : セクタ・グループは保護されています。
 00H : セクタ・グループは保護されていません。

図 5 セクタ・グループ保護一時解除タイミング・チャート (フラッシュメモリ)

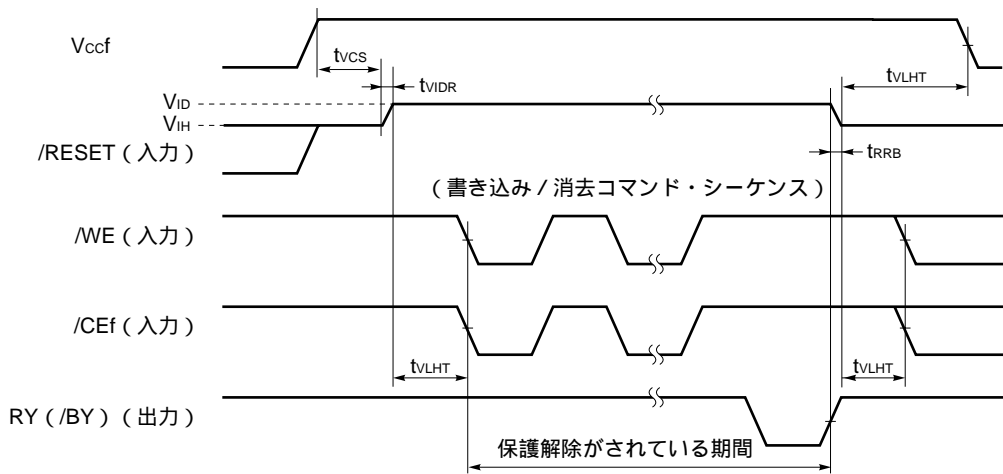


図 6 アクセラレーション・モード・タイミング・チャート (フラッシュメモリ)

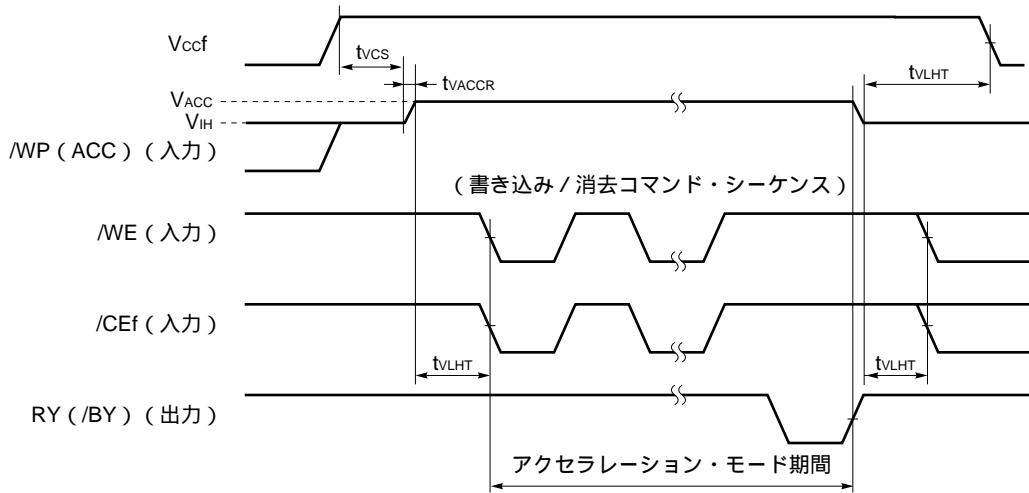


図 7 デュアル・オペレーション中のタイミング・チャート (フラッシュメモリ)

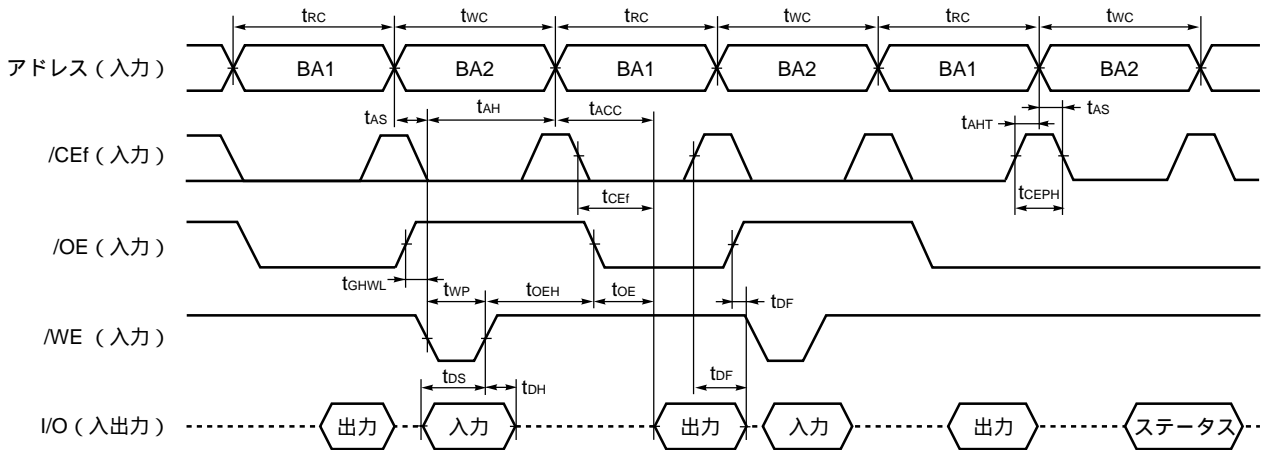
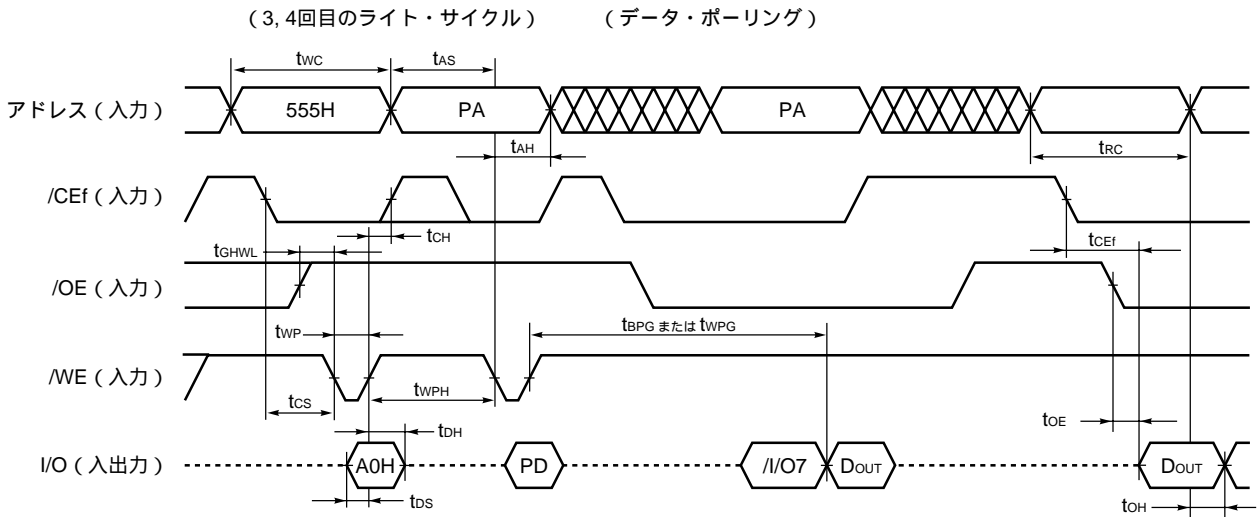
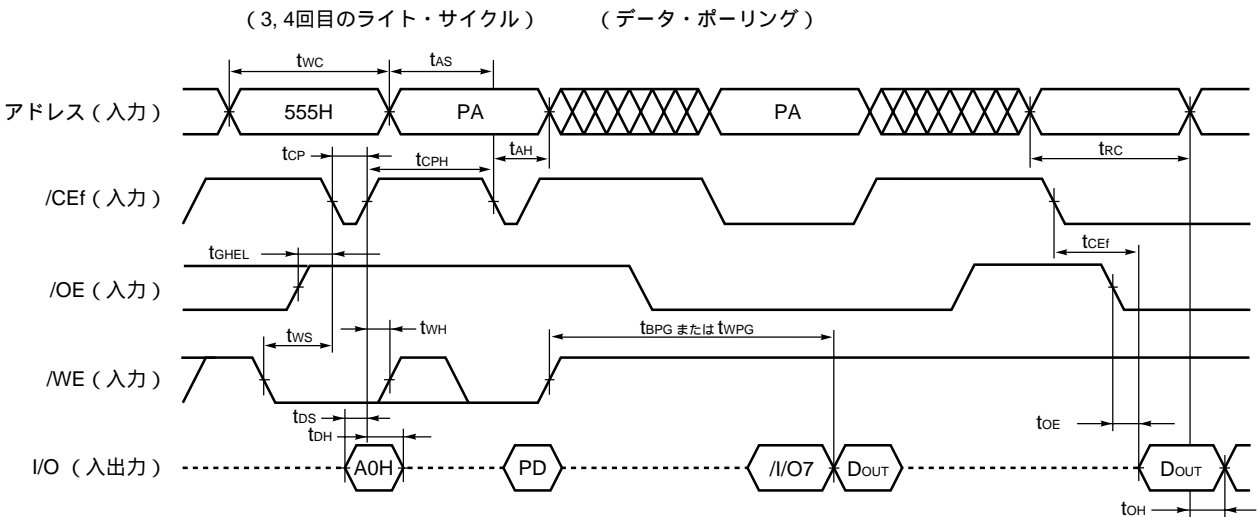


図 8 書き込みタイミング・チャート (/WE コントロールの場合) (フラッシュメモリ)



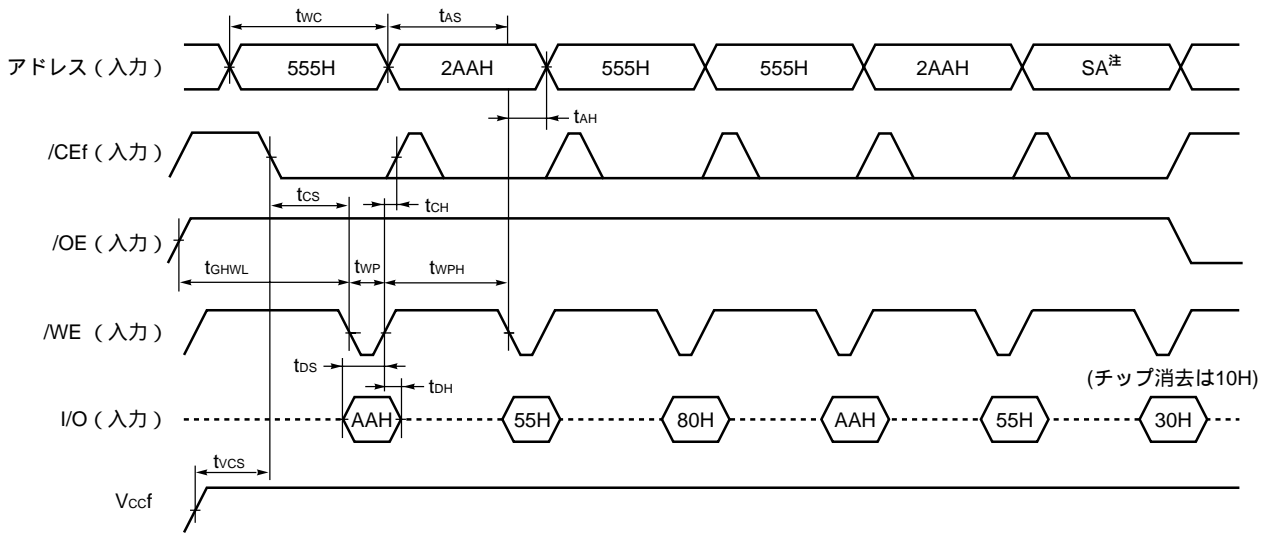
- 備考** 1. このタイミング・チャートは、書き込みコマンド・シーケンスの4回のライト・サイクルのうち、終わりの2サイクルと、データ・ポーリングを表しています。
2. このタイミング・チャートは、ワード・モードのもので、バイト・モードでは、入力するアドレスが異なります。コマンド・シーケンス(フラッシュメモリ)を参照してください。
3. PA : 書き込みアドレス
 PD : 書き込みデータ
 //O7 : 書き込みデータの反転出力
 DOUT : 書き込みデータの真の値

図 9 書き込みタイミング・チャート (/CEf コントロールの場合) (フラッシュメモリ)



- 備考** 1. このタイミング・チャートは、書き込みコマンド・シーケンスの4回のライト・サイクルのうち、終わりの2サイクルと、データ・ポーリングを表しています。
2. このタイミング・チャートは、ワード・モードのもので、バイト・モードでは、入力するアドレスが異なります。コマンド・シーケンス(フラッシュメモリ)を参照してください。
3. PA : 書き込みアドレス
 PD : 書き込みデータ
 //O7 : 書き込みデータの反転出力
 DOUT : 書き込みデータの真の値

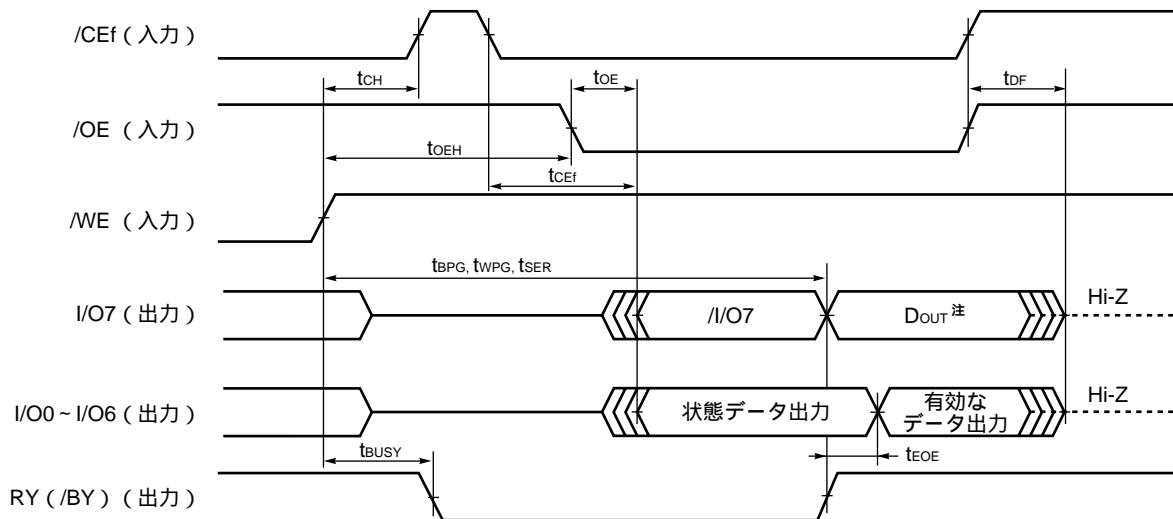
図 10 セクタ/チップ消去タイミング・チャート (フラッシュメモリ)



注 FSA は消去するセクタのセクタ・アドレスです。チップ消去の場合は、555H (ワード・モード) または AAH (バイト・モード) を入力してください。

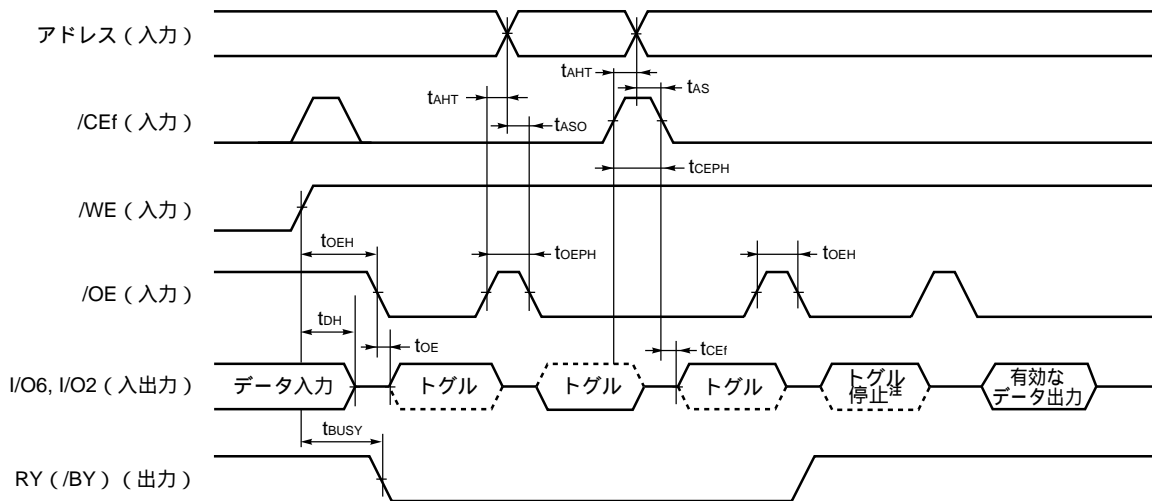
備考 このタイミング・チャートは、ワード・モードのもので、バイト・モードでは、入力するアドレスが異なります。コマンド・シーケンス (フラッシュメモリ) を参照してください。

図 11 データ・ポーリング・タイミング・チャート (フラッシュメモリ)



注 I/O7 = DOUT : 書き込みデータの真の値 (自動書き込み / 消去の完了を示します)。

図 12 トグル・ビット・タイミング・チャート (フラッシュメモリ)



注 I/O6 がトグルを停止 (自動書き込み / 消去の完了を示します)。

図 13 I/O2 vs. I/O6 タイミング・チャート (フラッシュメモリ)

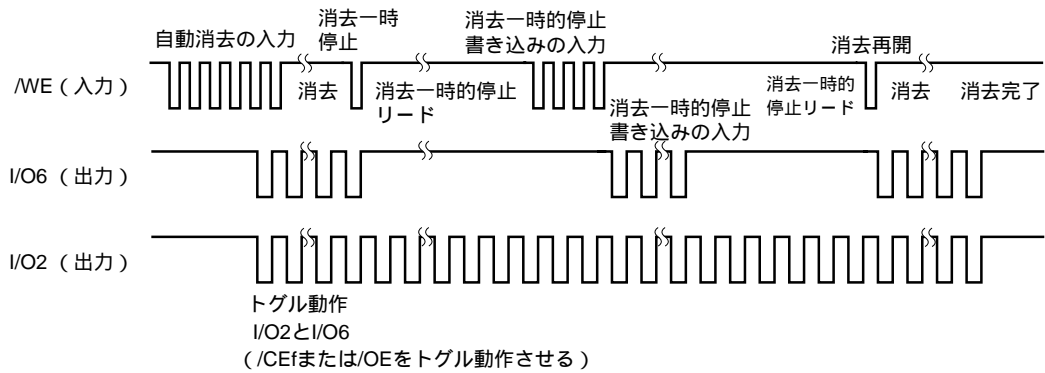


図 14 RY (/BY) (レディ / ビジィ) タイミング・チャート (フラッシュメモリ)

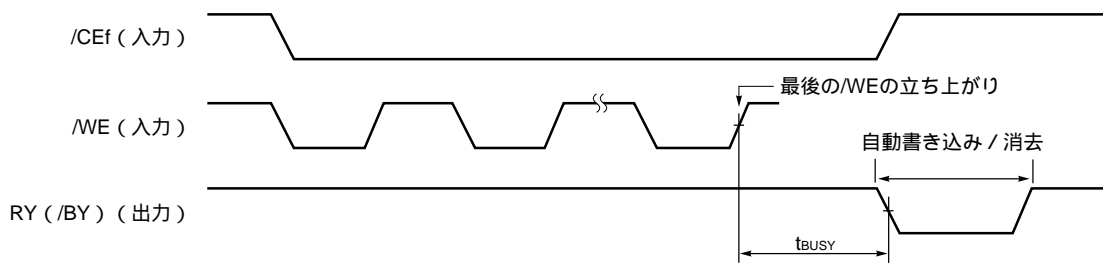


図 15 リセット / RY (/BY) タイミング・チャート (フラッシュメモリ)

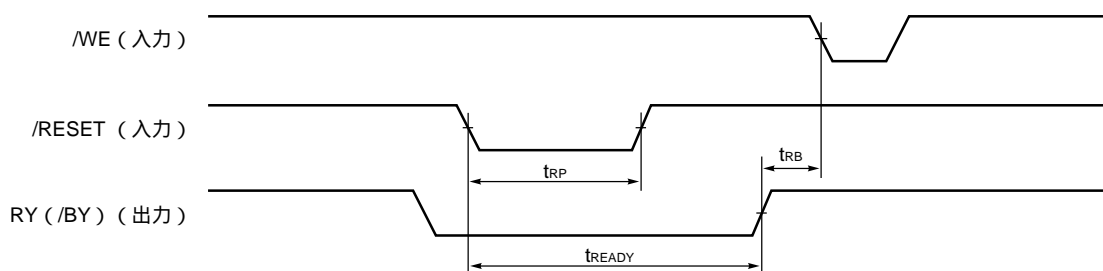
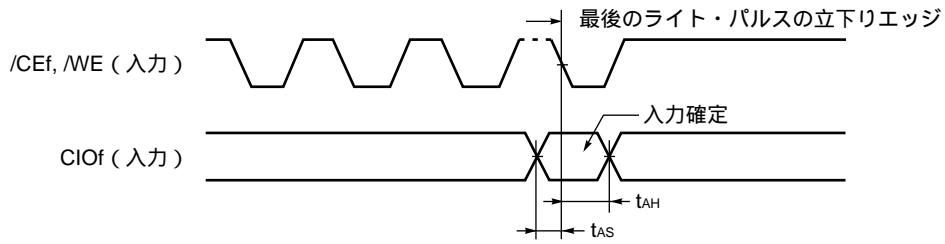
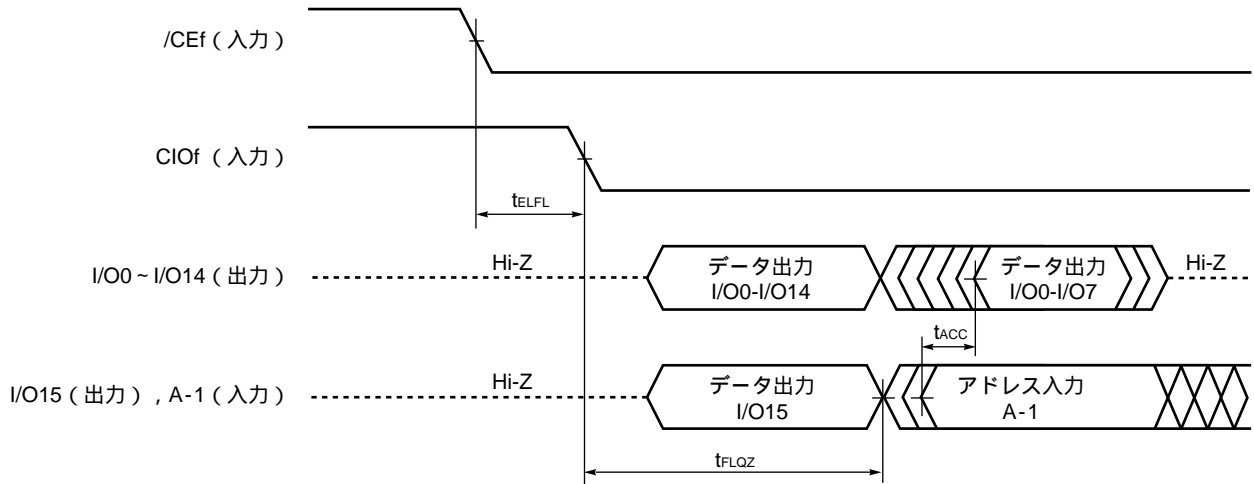


図 16 ライト時の CIO_f タイミング・チャート (フラッシュメモリ)



★ 図 17 バイト・モード切り替えタイミング・チャート (フラッシュメモリ)



★ 図 18 ワード・モード切り替えタイミング・チャート (フラッシュメモリ)

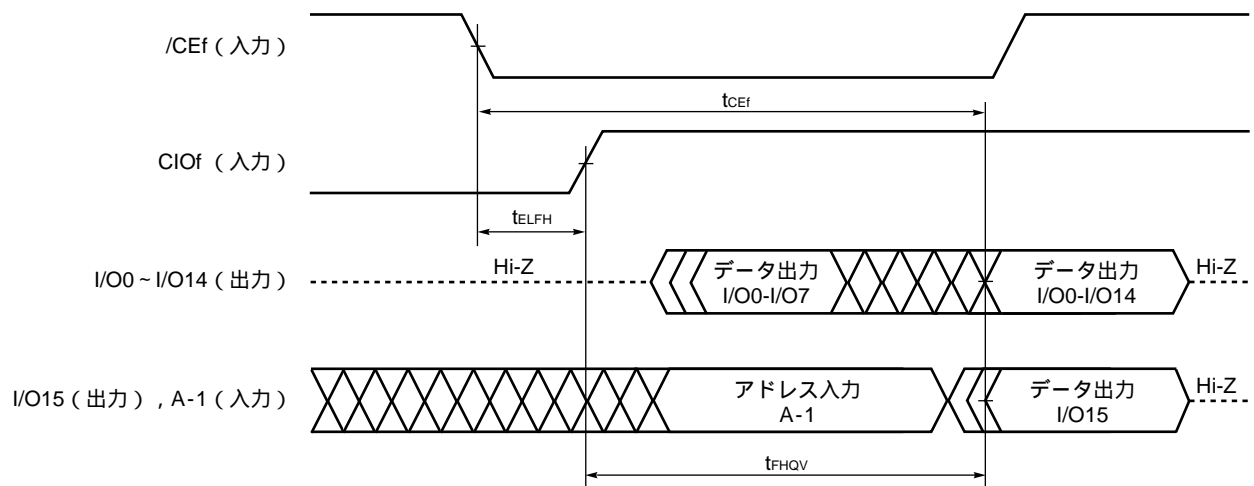
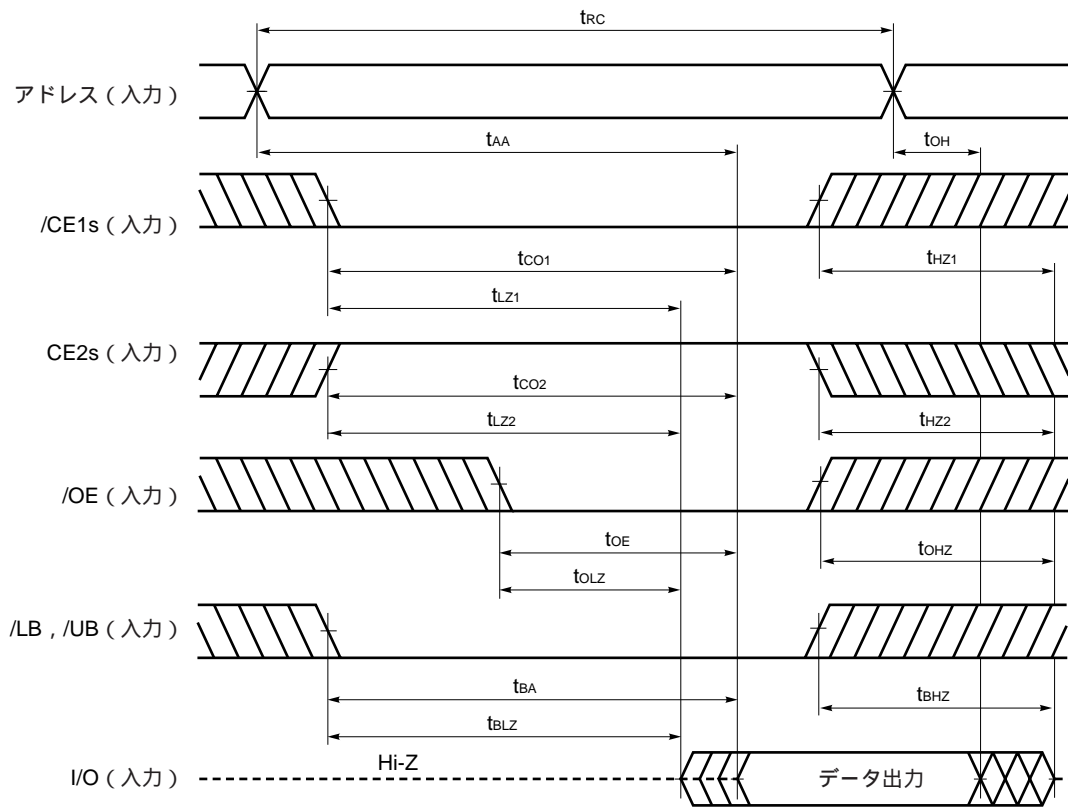
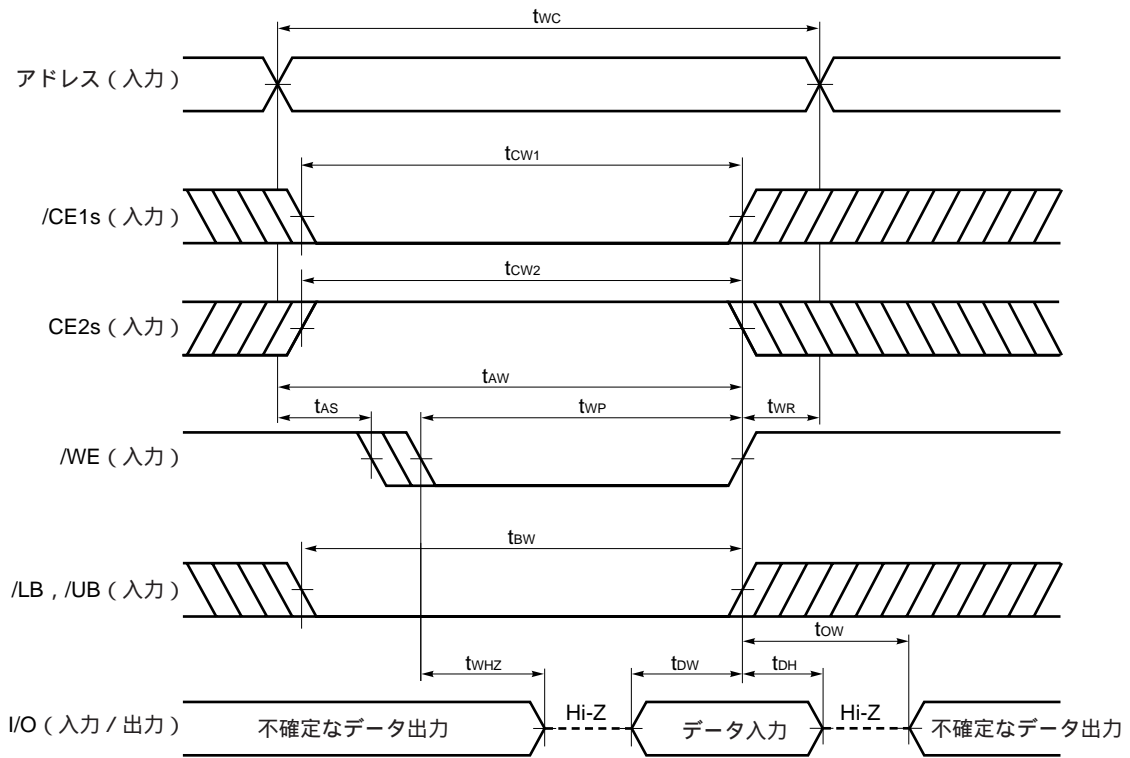


図 19 リード・サイクル・タイミング・チャート (SRAM)



備考 リード・サイクルでは/WEは、ハイ・レベルにしてください。

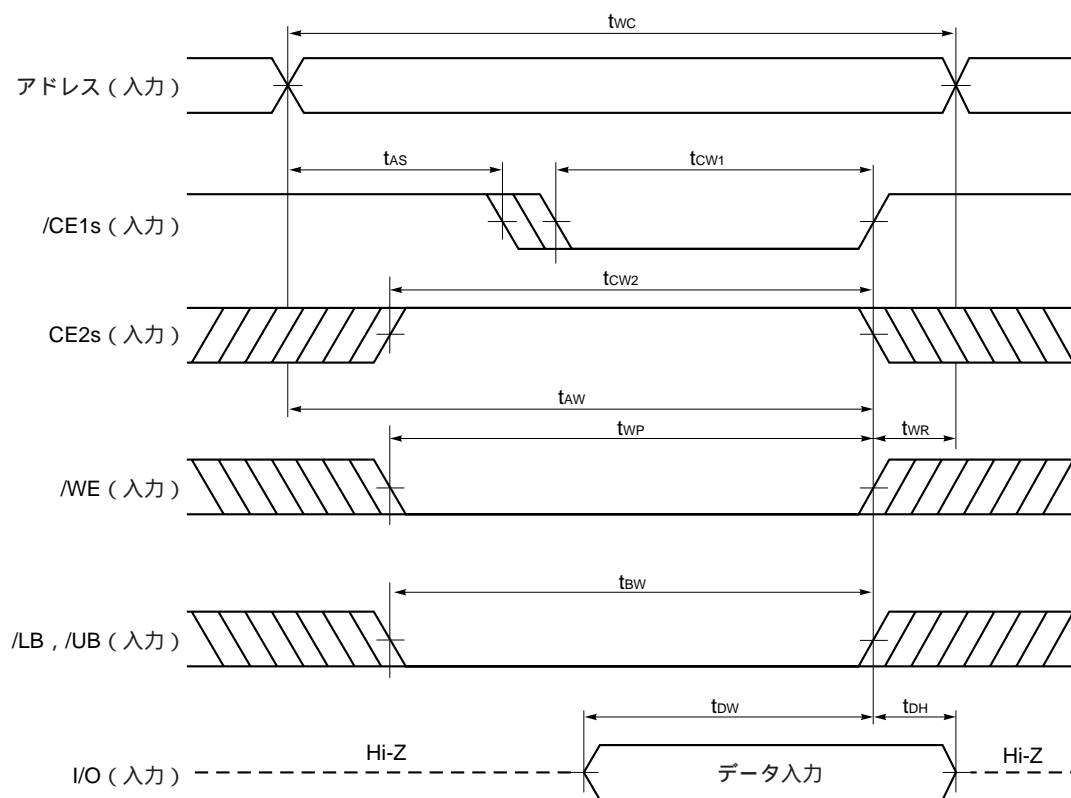
図 20 ライト・サイクル・タイミング・チャート 1 (\overline{WE} コントロールの場合) (SRAM)



- 注意**
1. アドレスの変化中は、 $\overline{CE1s}$ 、 $CE2s$ 、 \overline{WE} のうち少なくとも 1 つを非活性にしてください。
 2. I/O 端子が出力状態の間、I/O 端子にはデータを入力しないでください。

- 備考**
1. 書き込み動作は $\overline{CE1s}$ 、 \overline{WE} 、 \overline{LB} (もしくは \overline{UB}) がともにロウ・レベルで、 $CE2s$ がハイ・レベルの期間中に行われます。
 2. $\overline{CE1s}$ のロウ・レベル入力または $CE2s$ のハイ・レベル入力が \overline{WE} のロウ・レベル入力と同時あるいはそのあとに行われる場合、I/O 端子は Hi-Z のままです。
 3. \overline{WE} がロウ・レベルのとき、I/O 端子は無条件に Hi-Z になります。 \overline{WE} がハイ・レベルのときはリード・モードとなるので、I/O 端子を Hi-Z にするには \overline{OE} をハイ・レベルにする必要があります。

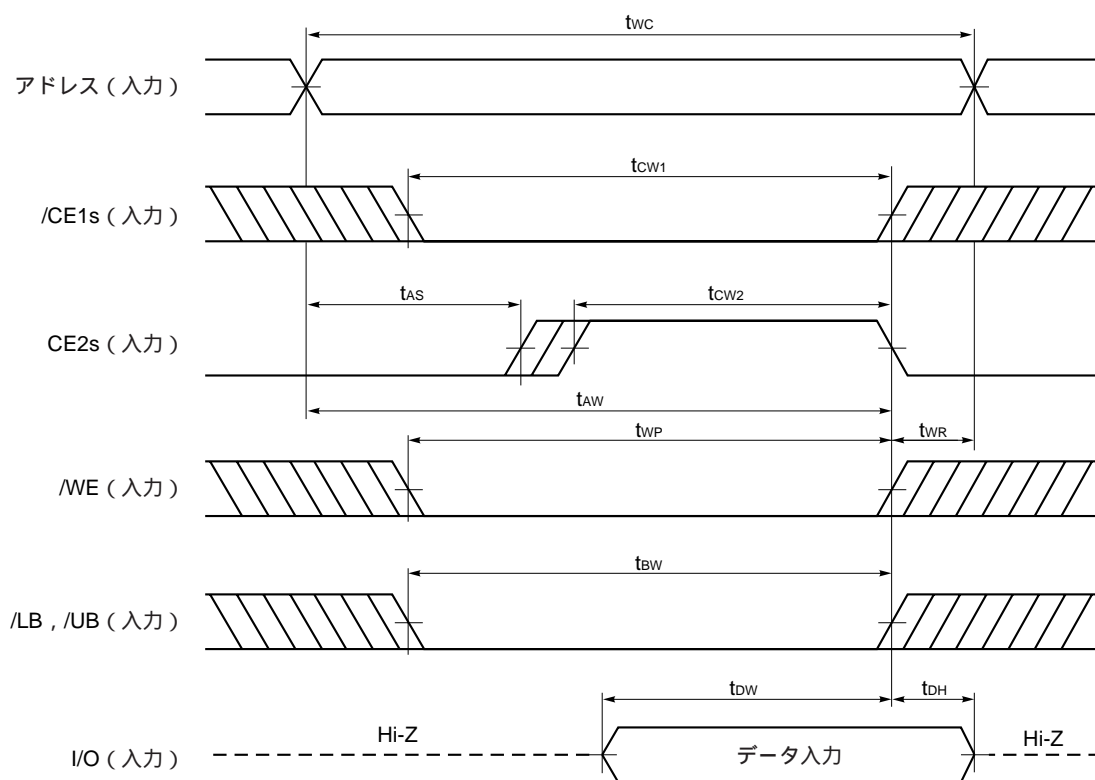
図 21 ライト・サイクル・タイミング・チャート 2 (/CE1s コントロールの場合) (SRAM)



- 注意** 1. アドレスの変化中は, /CE1s, CE2s, /WE のうち少なくとも 1 つを非活性にしてください。
 2. I/O 端子が出力状態の間, I/O 端子にはデータを入力しないでください。

備考 書き込み動作は /CE1s, /WE, /LB (もしくは /UB) がともにロウ・レベルで, CE2s がハイ・レベルの期間中に行われます。

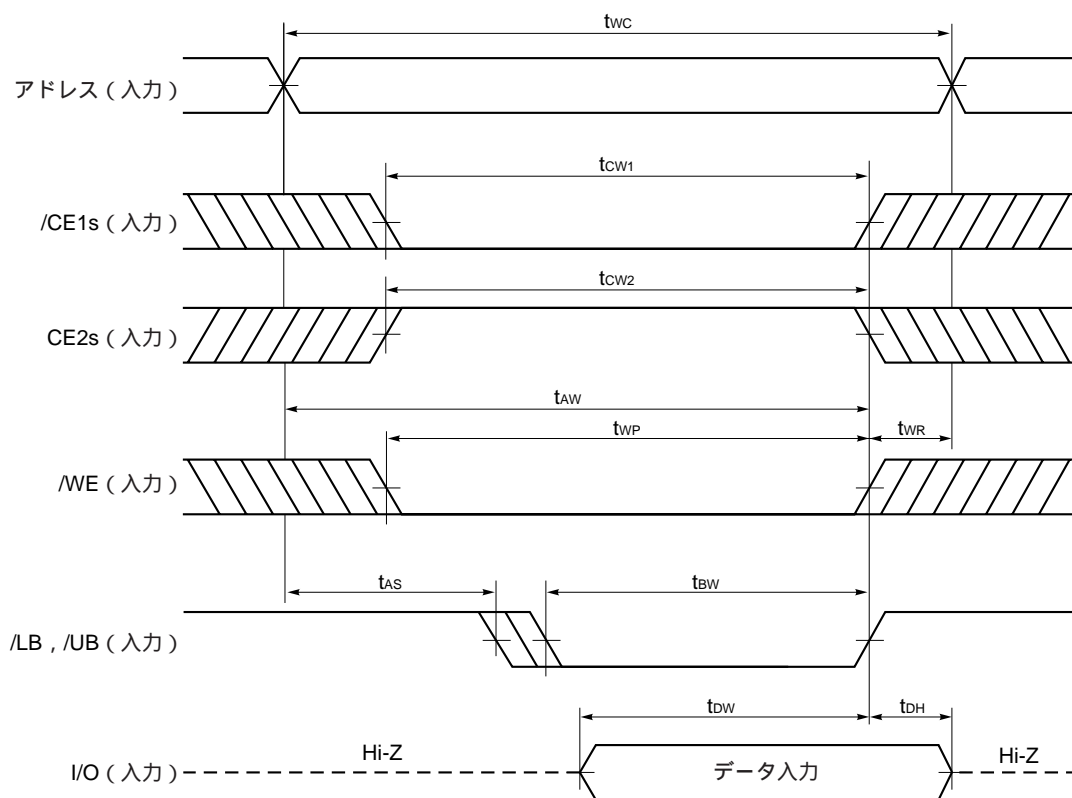
図 22 ライト・サイクル・タイミング・チャート 3 (CE2s コントロールの場合) (SRAM)



- 注意**
1. アドレスの変化中は、/CE1s、CE2s、/WE のうち少なくとも 1 つを非活性にしてください。
 2. I/O 端子が出力状態の間、I/O 端子にはデータを入力しないでください。

備考 書き込み動作は /CE1s、/WE、/LB (もしくは /UB) がともにロウ・レベルで、CE2s がハイ・レベルの期間中に行われます。

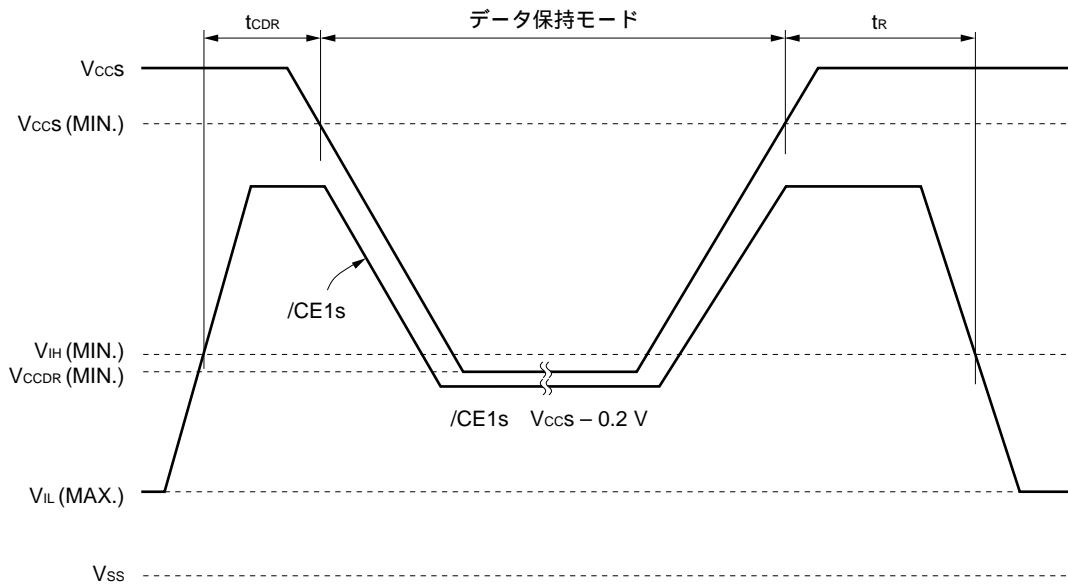
図 23 ライト・サイクル・タイミング・チャート 4 (/LB , /UB コントロールの場合) (SRAM)



- 注意**
1. アドレスの変化中は、/CE1s、CE2s、/WE のうち少なくとも 1 つを非活性にしてください。
 2. I/O 端子が出力状態の間、I/O 端子にはデータを入力しないでください。

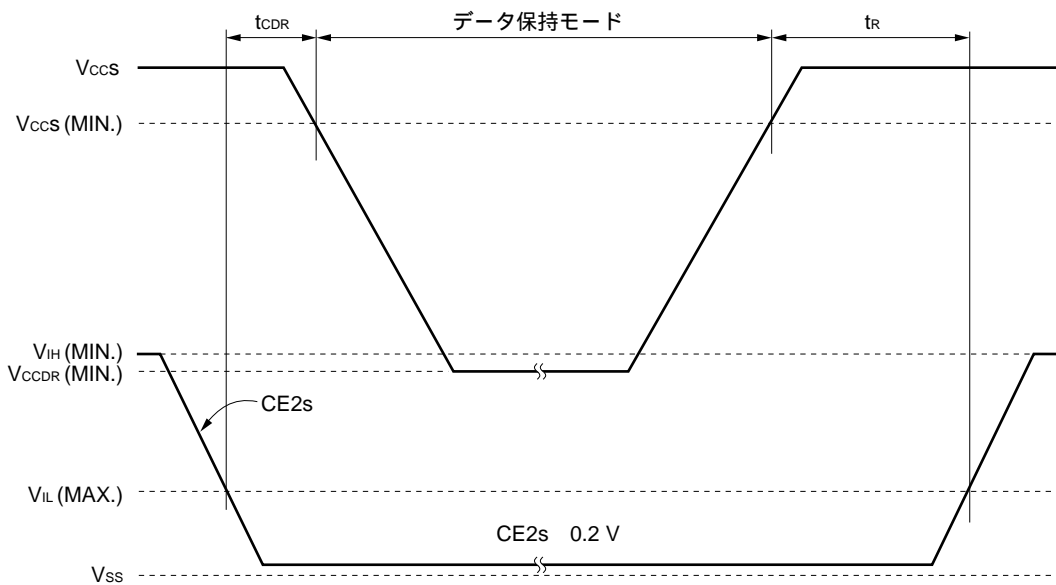
備考 書き込み動作は /CE1s、/WE、/LB (もしくは /UB) がともにロウ・レベルで、CE2s がハイ・レベルの期間中に行われます。

図 24 データ保持タイミング・チャート (/CE1s コントロールの場合) (SRAM)



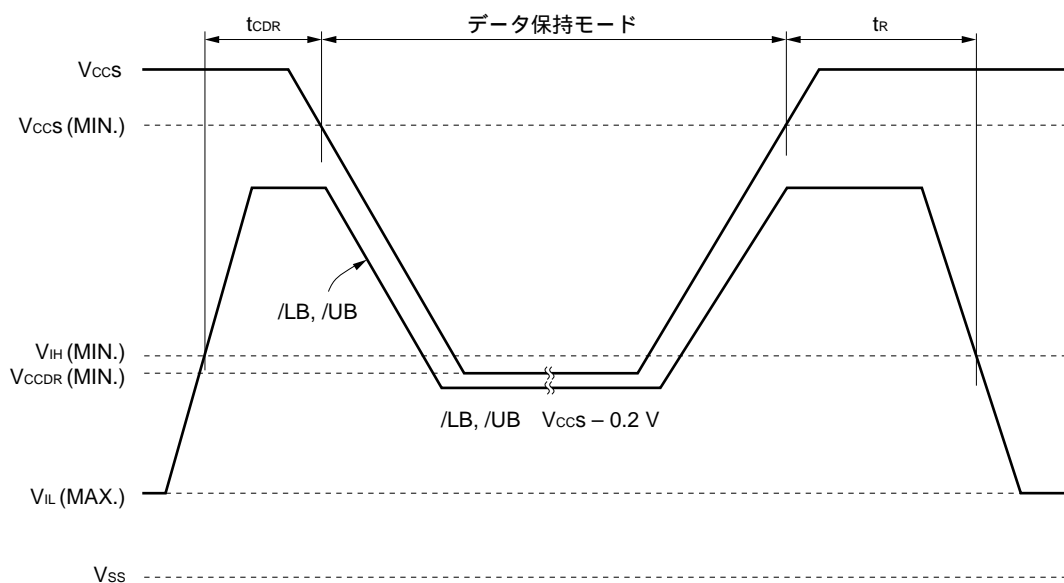
備考 /CE1s でデータ保持モードのコントロールを行う場合、CE2s の入力レベルは CE2s $V_{CCS} - 0.2V$ または CE2s $0.2V$ に保持してください。またその際、他の端子 (アドレス、I/O、/WE、/OE、/LB (/UB)) の入力状態はハイ・インピーダンスにしてもかまいません。

図 25 データ保持タイミング・チャート (CE2s コントロールの場合) (SRAM)



備考 CE2s でデータ保持モードのコントロールを行う場合、他の端子 (/CE1s アドレス、I/O、/WE、/OE、/LB (/UB)) の入力状態はハイ・インピーダンスにしてもかまいません。

図 26 データ保持タイミング・チャート (/LB, /UB コントロールの場合) (SRAM)



備考 /LB /UB でデータ保持モードのコントロールを行う場合 /CE1s ,CE2s の入力レベルは /CE1s ,CE2s $V_{ccs} - 0.2$ V または /CE1s , CE2s 0.2 V に保持してください。またその際、他の端子 (アドレス, I/O, /WE, /OE) の入力状態はハイ・インピーダンスにしてもかまいません。

★ フロー・チャート (フラッシュメモリ)

デュアル・オペレーション・フラッシュメモリ 32M ビット A シリーズ インフォメーション (M14914J) を参照してください。

CFI コード一覧表

(1/2)

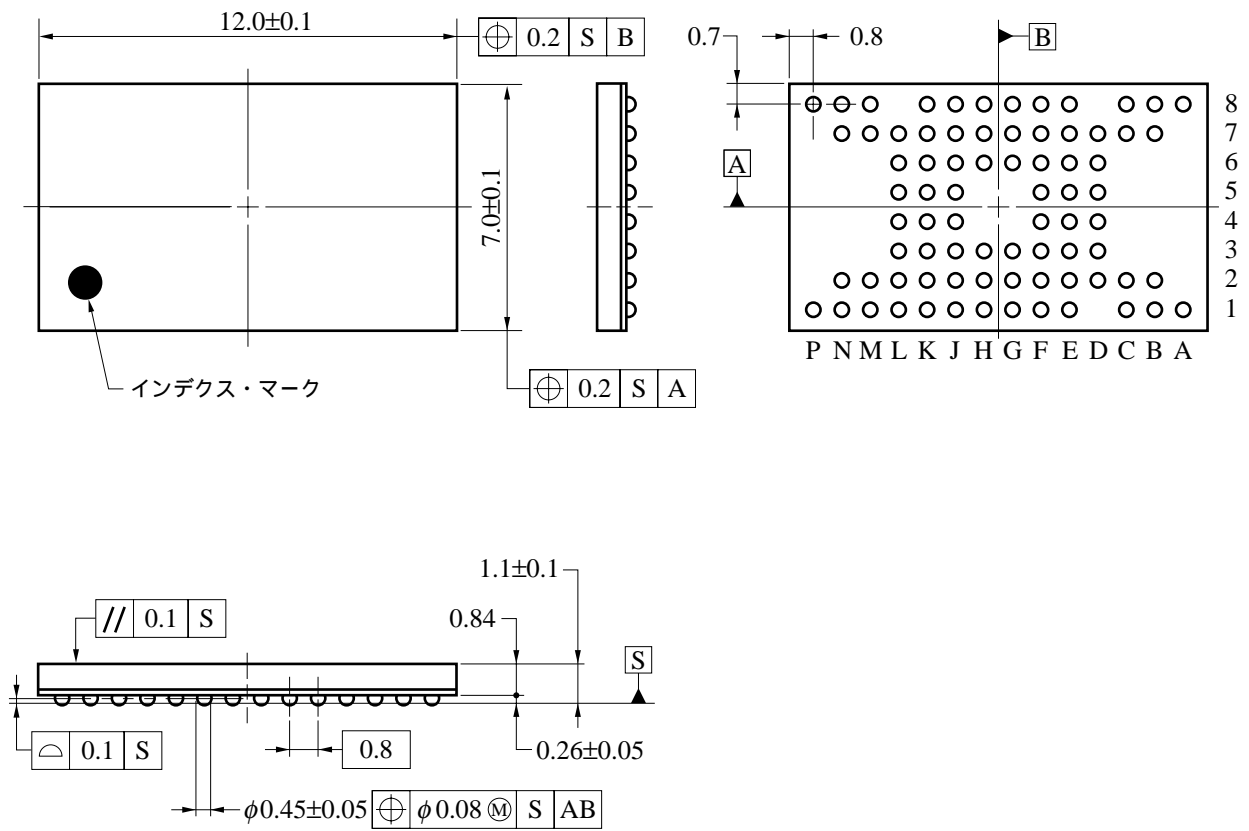
アドレス A6 ~ A0	データ I/O15 ~ I/O0	内 容
10H	0051H	“ QRY ” (ASCII コード)
11H	0052H	
12H	0059H	
13H	0002H	主要コマンド・セット 2 : AMD / FJ 標準型
14H	0000H	
15H	0040H	PRIMARY テーブルの開始アドレス
16H	0000H	
17H	0000H	副コマンド・セット 00H : 未対応
18H	0000H	
19H	0000H	副アルゴリズム・テーブルの開始アドレス
1AH	0000H	
1BH	0027H	V _{ccf} 最小電圧 (書き込み / 消去) I/O7 ~ I/O4 : 1 V/bit I/O3 ~ I/O0 : 100 mV/bit
1CH	0036H	V _{ccf} 最大電圧 (書き込み / 消去) I/O7 ~ I/O4 : 1 V/bit I/O3 ~ I/O0 : 100 mV/bit
1DH	0000H	V _{PP} 最小電圧
1EH	0000H	V _{PP} 最大電圧
1FH	0004H	ワード書き込み標準時間 (2 ^N μs)
20H	0000H	バッファ書き込み標準時間 (2 ^N μs)
21H	000AH	セクタ消去標準時間 (2 ^N ms)
22H	0000H	チップ消去標準時間 (2 ^N ms)
23H	0005H	ワード書き込み最大時間 (標準時間 × 2 ^N)
24H	0000H	バッファ書き込み最大時間 (標準時間 × 2 ^N)
25H	0004H	セクタ消去最大時間 (標準時間 × 2 ^N)
26H	0000H	チップ消去最大時間 (標準時間 × 2 ^N)
27H	0016H	容量 (2 ^N Bytes)
28H	0002H	I/O 情報 2 : ×8 / ×16 ビット構成
29H	0000H	
2AH	0000H	複数書き込み時の最大バイト数 (2 ^N)
2BH	0000H	
2CH	0002H	消去ブロックの種類
2DH	0007H	消去ブロック 1 の情報
2EH	0000H	bit0 ~ 15 : y = セクタ数
2FH	0020H	bit16 ~ 31 : z = サイズ
30H	0000H	(z × 256 Bytes)

(2/2)

アドレス A6 ~ A0	データ I/O15 ~ I/O0	内 容
31H	003EH	消去ブロック 2 の情報
32H	0000H	bit0 ~ 15 : y = セクタ数
33H	0000H	bit16 ~ 31 : z = サイズ
34H	0001H	(z × 256 Bytes)
40H	0050H	“ PRI ” (ASCII コード)
41H	0052H	
42H	0049H	
43H	0031H	メイン・バージョン (ASCII コード)
44H	0032H	マイナー・バージョン (ASCII コード)
45H	0000H	コマンド入力時のアドレス 00H : 必要 01H : 不要
46H	0002H	消去一時停止機能 00H : 未対応 01H : リードのみ 02H : リード / 書き込み
47H	0001H	セクタ・グループ保護 00H : 未対応 01H : 対応
48H	0001H	一時セクタ・グループ保護 00H : 未対応 01H : 対応
49H	0004H	セクタ・グループ保護アルゴリズム
4AH	00xxH	バンク 2 のセクタ数 00H : 未対応 30H : MC-22253A-X
4BH	0000H	バースト・モード 00H : 未対応
4CH	0000H	ページ・モード 00H : 未対応
4DH	0085H	V _{ACC} 最小電圧 I/O7 ~ I/O4 : 1 V/bit I/O3 ~ I/O0 : 100 mV/bit
4EH	0095H	V _{ACC} 最大電圧 I/O7 ~ I/O4 : 1 V/bit I/O3 ~ I/O0 : 100 mV/bit
4FH	00xxH	ブート構成 02H : ボトム・ブート
50H	0001H	書き込み一時停止機能 00H : 未対応 01H : 対応

外形図

77ピン・テープ FBGA (12x7) 外形図 (単位 : mm)



P77F9-80-BT3

半田付け推奨条件

MC-22253A-X の半田付け実装は、当社販売員にお問い合わせください。

表面実装タイプ

MC-22253AF9-B85X-BT3 : 77 ピン・テープ FBGA (12 × 7)

〔メ モ〕

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

関連資料

ドキュメント名	資料番号
デュアル・オペレーション・フラッシュメモリ 32Mビット Aシリーズ インフォメーション	M14914J

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
 (電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
 FAX : 044-435-9608
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
大阪 (06)6945-3178, 3200, 3208, 3212	立川 (042)526-5981, 6167	水戸 (029)226-1702
仙台 (022)267-8740	松本 (0263)35-1662	広島 (082)242-5504
郡山 (024)923-5591	静岡 (054)254-4794	前橋 (027)243-6060
千葉 (043)238-8116	金沢 (076)232-7303	鳥取 (0857)27-5313
	松山 (089)945-4149	太田 (0276)46-4014
		名古屋 (052)222-2170, 2190
		福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>